

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tsuneo INABA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MAGNETORESISTIVE RANDOM ACCESS MEMORY DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ **Date Filed** _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

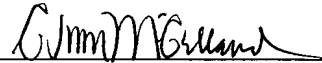
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-382393	December 27, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)



日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月27日

出 願 番 号

Application Number:

特願2002-382393

[ST.10/C]:

[JP2002-382393]

出 願 人

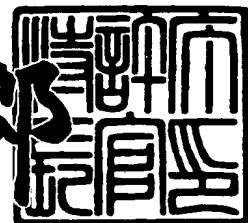
Applicant(s):

株式会社東芝

2003年 2月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3005118

【書類名】 特許願

【整理番号】 A000205971

【提出日】 平成14年12月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/34

【発明の名称】 半導体記憶装置

【請求項の数】 28

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 稲場 恒夫

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

 【弁理士】

 【氏名又は名称】 坪井 淳

【選任した代理人】

 【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 それぞれトンネル磁気抵抗効果を持ち、データ読み出しノードを介して直列接続され、互いに逆のデータを保持する第 1 の磁気抵抗素子および第 2 の磁気抵抗素子を含む磁気メモリセルと、

複数の前記磁気メモリセルが行列状に配置されたメモリセルアレイと、

前記磁気メモリセルにデータを書き込む書き込み用ビット線および書き込み用ワード線と、

前記磁気メモリセルのデータを読み出す読み出し用ビット線

を具備することを特徴とする半導体記憶装置。

【請求項 2】 前記磁気メモリセルから情報を読み出す動作時に、前記磁気メモリセルの両端に電位差を与え、前記第 1 の磁気抵抗素子および前記第 2 の磁気抵抗素子の合成抵抗と前記第 1 の磁気抵抗素子または前記第 2 の磁気抵抗素子の抵抗値との比で決まる前記データ読み出しノードの電位を情報として前記読み出し用ビット線に読み出すことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記磁気メモリセルは、第 1 のノードと第 2 のノードとの間に、前記第 1 の磁気抵抗素子と前記第 2 の磁気抵抗素子と少なくとも 1 つのセル選択用トランスファゲートが直列に接続され、前記データ読み出しノードに読み出し用トランスファゲートを介して前記読み出し用ビット線が接続されていることを特徴とする請求項 1 または 2 記載の半導体記憶装置。

【請求項 4】 前記磁気メモリセルは、

第 1 のノードと第 2 のノードとの間に、前記第 1 の磁気抵抗素子と、第 1 のセル選択用トランスファゲートと、第 2 のセル選択用トランスファゲートと、前記第 2 の磁気抵抗素子の順に直列に接続され、前記 2 つのセル選択用トランスファゲートの直列接続ノードがデータ読み出しノードとなり、前記 2 つのセル選択用トランスファゲートの各ゲート同士が読み出し用ワード線に接続される

ことを特徴とする請求項 1 または 2 記載の半導体記憶装置。

【請求項 5】 前記磁気メモリセルは、

第 1 のノードと第 2 のノードとの間に、前記第 1 の磁気抵抗素子とセル選択用トランスファゲートと前記第 2 の磁気抵抗素子の順に直列に接続され、前記第 1 の磁気抵抗素子とセル選択用トランスファゲートとの接続ノードに第 1 の読み出し用トランスファゲートの一端が接続され、前記第 2 の磁気抵抗素子とセル選択用トランスファゲートとの接続ノードに第 2 の読み出し用トランスファゲートの一端が接続され、前記 2 つの読み出し用トランスファゲートの各他端同士が共通に読み出し用ビット線に接続され、前記 3 つのトランスファゲートの各ゲート同士が読み出し用ワード線に接続される

ことを特徴とする請求項 1 または 2 記載の半導体記憶装置。

【請求項 6】 前記磁気メモリセルは、

第 1 のノードと第 2 のノードとの間に、前記第 1 の磁気抵抗素子とセル選択用トランスファゲートと前記第 2 の磁気抵抗素子が直列に接続され、前記第 1 の磁気抵抗素子とセル選択用トランスファゲートとの接続ノードに読み出し用トランスファゲートの一端が接続され、前記読み出し用トランスファゲートの他端が読み出し用ビット線に接続され、前記 2 つのトランスファゲートの各ゲート同士が読み出し用ワード線に接続される

ことを特徴とする請求項 1 または 2 記載の半導体記憶装置。

【請求項 7】 前記磁気メモリセルは、

第 1 のノードと第 2 のノードとの間に、前記第 1 の磁気抵抗素子と前記第 2 の磁気抵抗素子が直列に接続され、その直列接続ノードが読み出し用トランスファゲートを介して読み出し用ビット線に接続され、前記読み出し用トランスファゲートのゲートが読み出し用ワード線に接続される

ことを特徴とする請求項 1 または 2 記載の半導体記憶装置。

【請求項 8】 前記磁気メモリセルから情報を読み出す動作時に、前記第 1 のノードと第 2 のノードとの間に電位差を与え、前記読み出し用ワード線を活性化して前記トランスファゲートをオン状態に制御し、前記第 1 の磁気抵抗素子および前記第 2 の磁気抵抗素子の合成抵抗と前記第 1 の磁気抵抗素子または前記第 2 の磁気抵抗素子の抵抗値との比で決まる電位を情報として読み出し用ビット線に読み出すことを特徴とする請求項 3 乃至 7 のいずれか 1 項に記載の半導体記憶

装置。

【請求項 9】 前記トランスファゲートがNMOSで構成されていることを特徴とする請求項 3 乃至 8 のいずれか 1 項に記載の半導体記憶装置。

【請求項 10】 参照電位を発生する参照電位発生回路と、

前記磁気メモリセルから前記読み出し用ビット線に読み出された電位を前記参照電位と比較して前記磁気メモリセルのデータを検知するセンスアンプ

をさらに具備することを特徴とする請求項 3 乃至 9 のいずれか 1 項に記載の半導体記憶装置。

【請求項 11】 前記参照電位は、前記磁気メモリセルから情報を読み出す動作時に前記第 1 のノードに印加される第 1 の電位と前記第 2 のノードに印加される第 2 の電位との中間の電位であることを特徴とする請求項 10 記載の半導体記憶装置。

【請求項 12】 前記磁気メモリセルと同様の磁気抵抗素子を用いて構成され、参照電位を発生するダミー磁気メモリセルと、

前記ダミー磁気メモリセルから発生する参照電位が読み出されるダミー読み出し用ビット線と、

前記磁気メモリセルから前記読み出し用ビット線に読み出された電位を前記ダミー読み出し用ビット線に読み出された参照電位と比較して前記磁気メモリセルのデータを検知するセンスアンプ

をさらに具備することを特徴とする請求項 3 乃至 9 のいずれか 1 項に記載の半導体記憶装置。

【請求項 13】 前記ダミー磁気メモリセルは、前記磁気メモリセルの磁気抵抗素子と同様に 2 個のダミー磁気抵抗素子に互いに逆のデータを保持した第 1 のダミーセルと、前記磁気メモリセルの磁気抵抗素子と同様に 2 個のダミー磁気抵抗素子に互いに逆のデータであって前記第 1 のダミーセルとは逆のデータを保持した第 2 のダミーセルと、前記 2 個のダミーセルからそれぞれ読み出した電位を合成して前記参照電位を生成して前記ダミー読み出し用ビット線に読み出されることを特徴とする請求項 12 記載の半導体記憶装置。

【請求項 14】 前記ダミー磁気メモリセルは、前記磁気メモリセルの磁気

抵抗素子と同様の 2 個のダミー磁気抵抗素子に互いに同じデータを保持した第 1 のダミーセルと、前記磁気メモリセルの磁気抵抗素子と同様に 2 個のダミー磁気抵抗素子に互いに同じデータであって前記第 1 のダミーセルとは逆のデータを保持した第 2 のダミーセルと、前記 2 個のダミーセルからそれぞれ読み出した電位を合成して前記参照電位を生成して前記ダミー読み出し用ビット線に読み出されることを特徴とする請求項 1 2 記載の半導体記憶装置。

【請求項 1 5】 前記磁気メモリセルから情報を読み出す動作時に、第 1 の期間には前記 2 個の磁気抵抗素子の両端間に所定の電位差を与え、第 2 の期間には前記 2 個の磁気抵抗素子の両端間に前記電位差と同じ大きさで逆極性の電位差を与える切換回路と、

前記第 1 の期間に前記磁気メモリセルから前記読み出し用ビット線に読み出された電位を参照電位とし、前記第 2 の期間に前記磁気メモリセルから前記読み出し用ビット線に読み出された電位を前記参照電位と比較して前記磁気メモリセルのデータを検知するセンスアンプ

をさらに具備することを特徴とする請求項 3 乃至 9 のいずれか 1 項に記載の半導体記憶装置。

【請求項 1 6】 前記磁気メモリセルから情報を読み出す動作時に、第 1 の期間には前記 2 個の磁気抵抗素子の両端間に所定の電位差を与え、第 2 の期間には前記 2 個の磁気抵抗素子の両端間に前記電位差と同じ大きさで逆極性の電位差を与える第 1 の切換回路と、

前記磁気メモリセルから前記読み出し用ビット線に読み出された電位の供給先を前記第 1 の期間と第 2 の期間とで切り替える第 2 の切換回路と、

前記第 2 の切換回路から前記第 1 の期間に供給される電位を参照電位として保持し、前記第 2 の切換回路から前記第 2 の期間に供給される電位を前記参照電位と比較して前記磁気メモリセルのデータを検知するセンスアンプ

をさらに具備することを特徴とする請求項 3 乃至 9 のいずれか 1 項に記載の半導体記憶装置。

【請求項 1 7】 前記磁気メモリセルから情報を読み出す動作時に、第 1 の期間には前記 2 個の磁気抵抗素子の両端間に所定の電位差を与え、第 2 の期間に

は前記 2 個の磁気抵抗素子の両端間に前記電位差と同じ大きさで逆極性の電位差を与える切換回路と、

前記磁気メモリセルから前記読み出し用ビット線に読み出された電位の供給経路に挿入され、前記第 1 の期間内に一時的にオン状態にスイッチング制御され、前記第 2 の期間内に一時的にオン状態にスイッチング制御される第 1 のスイッチ素子と、

前記第 1 のスイッチ素子を経由した電位の変化を検知することによって前記磁気メモリセルのデータを検知するセンスアンプと、

前記センスアンプの出力端と入力端との間に並列に接続され、前記第 1 の期間内にオン状態にスイッチング制御され、前記第 2 の期間内に一時的にオン状態にスイッチング制御される第 2 のスイッチ素子

をさらに具備することを特徴とする請求項 3 乃至 9 のいずれか 1 項に記載の半導体記憶装置。

【請求項 1 8】 前記メモリセルアレイは前記磁気メモリセルが行列状に配置されており、

前記読み出し用ワード線は、メモリセルアレイの各行の磁気メモリセルに共通接続されて行方向に配置されており、

前記読み出し用ビット線は、メモリセルアレイの各列の磁気メモリセルに共通接続されて列方向に配置されており、

前記メモリセルアレイの各列に対応してセンスアンプが接続されており、

前記センスアンプの比較参照電位は参照電位発生回路から供給される

ことを特徴とする請求項 3 乃至 6 のいずれか 1 項に記載の半導体記憶装置。

【請求項 1 9】 前記メモリセルアレイは前記磁気メモリセルが行列状に配置され、センスアンプ比較参照電位を発生するためのダミー磁気メモリセルが少なくとも一列分配置されており、

前記読み出し用ワード線は、メモリセルアレイの各行の磁気メモリセルおよび前記ダミー磁気メモリセルに共通接続されて行方向に配置されており、

前記読み出し用ビット線は、メモリセルアレイの各列の磁気メモリセルに共通接続されて列方向に配置されており、

前記ダミー磁気メモリセル配置列の各磁気メモリセルに共通接続されたダミー読み出し用ビット線が列方向に配置されており、

前記メモリセルアレイの各列に対応して配置され、前記ダミー読み出し用ビット線に読み出される電位を参照電位として各列の前記読み出し用ビット線に読み出される電位を比較して読み出しデータを検知するセンスアンプが接続されている

ことを特徴とする請求項 3 乃至 6 のいずれか 1 項に記載の半導体記憶装置。

【請求項 2 0】 前記メモリセルアレイは前記磁気メモリセルが行列状に配置されており、

前記読み出し用ワード線は、メモリセルアレイの各列の磁気メモリセルに共通接続されて列方向に配置されており、

前記読み出し用ビット線は、メモリセルアレイの各行の磁気メモリセルに共通接続されて行方向に配置されており、

前記メモリセルアレイの各行に対応してセンスアンプが接続されており、

前記センスアンプの比較参照電位は参照電位発生回路から供給される

ことを特徴とする請求項 7 記載の半導体記憶装置。

【請求項 2 1】 読み出し動作に際して前記メモリセルアレイの各列の一对の書き込みビット線間に電位差を供給するための読み出し用ドライバが接続されており、

前記読み出し用ドライバは、前記一对の書き込みビット線のうちの一方に第 1 の電位を供給する第 1 の読み出し用電位供給源と、前記一对の書き込みビット線のうちの他方に第 2 の電位を供給する第 2 の読み出し用電位供給源を有する

ことを特徴とする請求項 1 8 乃至 2 0 のいずれか 1 項に記載の半導体記憶装置。

【請求項 2 2】 前記 2 つの読み出し用電位供給源は、前記一对の書き込みビット線の同一方向の一端側に配置されて接続されていることを特徴とする請求項 2 1 記載の半導体記憶装置。

【請求項 2 3】 書き込み動作に際して前記一对の書き込みビット線に書き込み電流を流すための書き込み用ドライバを備え、前記書き込み用ドライバは前

記読み出し用ドライバを兼用していることを特徴とする請求項 21 または 22 記載の半導体記憶装置。

【請求項 24】 前記読み出し用ドライバは、読み出し動作前の期間に前記メモリセルアレイの各列の一对の書き込みビット線を所定の電位にプリチャージすることを特徴とする請求項 21 乃至 23 のいずれか 1 項に記載の半導体記憶装置。

【請求項 25】 読み出し動作前の期間に前記読み出し用ビット線が所定の電位にプリチャージされることを特徴とする請求項 21 乃至 24 のいずれか 1 項に記載の半導体記憶装置。

【請求項 26】 前記所定の電位は、読み出し動作時に前記一对の書き込みビット線の一方が設定される第 1 の電位 V_{aa} または第 1 の電位 V_{ss} であることを特徴とする請求項 24 または 25 記載の半導体記憶装置。

【請求項 27】 前記所定の電位は、読み出し動作時に前記一对の書き込みビット線のそれぞれが設定される第 1 の電位 V_{aa} と第 1 の電位 V_{ss} との中間電位 $(V_{aa}+V_{ss})/2$ であることを特徴とする請求項 24 または 25 記載の半導体記憶装置。

【請求項 28】 前記読み出し用ワード線の活性化時の電位が第 1 の電位 V_{aa} またはそれよりも高い電位であることを特徴とする請求項 4 乃至 27 のいずれか 1 項に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に係り、特にトンネル型磁気抵抗 (Tunneling Magneto Resistive) 効果を利用して "1"/"0" 情報の記憶を行う MTJ 素子を利用してメモリセルを構成した磁気メモリセルを行列状に配置した磁気ランダムアクセスメモリ (MRAM: Magnetic Random Access Memory) における磁気メモリセルの構成とメモリセルアレイの構成に関する。

【0002】

【従来の技術】

MRAMは磁気抵抗効果を利用して情報を記憶するデバイスであり、不揮発性、高速動作、高集積性、高信頼性を兼ね備えるため、DRAMやEEPROMなどの置き換え可能なメモリデバイスとして期待され開発が進められている（非特許文献1～3、特許文献1～3参照）。

【 0 0 0 3 】

MRAMのメモリセルに使用されるMTJ（Magnetic Tunnel Junction）素子は、2枚の強磁性体膜で1枚の絶縁膜を挟んだ構造を持ち、各々の強磁性体膜のスピン方向が平行になった場合と反平行になった場合とでトンネル電流の大きさが変わる、トンネル磁気抵抗効果（Tunneling Magneto Resistive Effect）を持つ。

【 0 0 0 4 】

スピンの方向が平行になった場合はトンネル電流が大きくなるためにMTJ素子の抵抗値は低くなり、スピンの方向が反平行になった場合にはトンネル電流が小さくなるためにMTJ素子の抵抗値は高くなる。MRAMでは、MTJ素子の抵抗値が低い場合を“0”データ、抵抗値が高い場合を“1”データとして情報を記憶する。

【 0 0 0 5 】

図28は、MRAMの代表的な1Tr-1MTJ型メモリセルを示す等価回路図である。

【 0 0 0 6 】

図中、MCはメモリセル、MTRはメモリセルトランジスタ、MTJはMTJ素子、GNDは接地電極、BLはビット線、WWLは書き込み用ワード線、RWLは読み出し用ワード線を表わす。

【 0 0 0 7 】

図29は、図28に示した1Tr-1MTJ型メモリセルの断面構造の垂直面内のレイアウトを模式的に示す図である。

【 0 0 0 8 】

図29中、STIは素子分離領域、Goxはゲート酸化膜、diffusionは拡散層、GCはゲート電極、M0は第1配線層、M1は第2配線層、M2は第3配線層、CDはM0からdiffusionへのコンタクト、C1はM1からM0へのコンタクト、MTJはMTJ素子、MXはMTJ接続用配線層、CXはMXからM1へのコンタクトである。

【 0 0 0 9 】

また、(WWL)、(RWL)、(BL)、(GND) はそれぞれの配線層の用途を表わしており、WWL は書き込み用ワード線、RWL は読み出し用ワード線、BLはビット線、GND は接地電極を表わす。

【 0 0 1 0 】

BLとWWL は垂直方向に配設され、メモリセルへの情報の書き込み時にはBLとWWLに電流を流すことで合成磁場を発生させて情報を書き込む。メモリセルからの情報の読み出し時には、RWL を活性化させてBLからGND へ電流を流し、BLに接続されたセンスアンプ (図示せず) で情報を読み出す。

【 0 0 1 1 】

ここで、磁気メモリセルからの情報の読み出し動作を考える。

【 0 0 1 2 】

図 3 0 (a) は、定電流を磁気メモリセルに流し、磁気メモリセルからの情報を電圧によって読み出す方式の概念図である。

【 0 0 1 3 】

図中、CSは定電流源、VMは電圧計、MemoryCellは磁気メモリセル、Rmc は磁気メモリセルの持つ抵抗値、 i は磁気メモリセルに流れる電流をそれぞれ表わす。読み出される電圧信号は、 $V_{\text{signal}} = R_{\text{mc}} \times i$ 、即ち、磁気メモリセルに流れる電流 i と磁気メモリセルの抵抗値 R_{mc} の積となる。

【 0 0 1 4 】

図 3 0 (b) は、定電圧を磁気メモリセルに印加し、磁気メモリセルからの情報を電流によって情報を読み出す方式の概念図である。

【 0 0 1 5 】

図中、VSは定電圧源、AMは電流系、MC(Memory Cell) は磁気メモリセル、Rmc はMCの持つ抵抗値、 v はMCに印加される電圧を表わす。

【 0 0 1 6 】

読み出される電流信号は、 $I_{\text{signal}} = v / R_{\text{mc}}$ 、即ち、磁気メモリセルに印加される電圧 v と磁気メモリセルの抵抗値 R_{mc} の商となる。

【 0 0 1 7 】

これらの読み出し信号量の式から分かるように、従来の読み出し方式では、磁

気メモリセルから読み出される信号量は磁気メモリセルの持つ抵抗値 R_{mc} の絶対値に依存する。従って、メモリチップ間で磁気抵抗素子の抵抗値がばらついた場合、そのばらつき量が直接に読み出し信号量に影響を与えるという問題点があった。

【 0 0 1 8 】

加えて、磁気メモリセルへ電流を流す経路、または電圧を印加する経路の寄生抵抗によっても読み出し信号量が変動してしまうという問題点がある。即ち、メモリセルアレイ内のMRAMセルの位置によって定電流源または定電圧源およびセンスアンプとの距離が異なるので、例えば同一カラム内においても異なる磁気メモリセル間では読み出される信号の絶対値が異なってしまうという問題点があった。

【 0 0 1 9 】

【非特許文献 1】

Roy Scheuerlein et.al."A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell", IS SCC2000 Technical Digest pp.128 ~pp.129、

【 0 0 2 0 】

【非特許文献 2】

ISSCC2000 Technical Digest pp.130 ~pp.131、

【 0 0 2 1 】

【非特許文献 3】

ISSCC2001 Technical Digest pp.122 ~pp.123、

【 0 0 2 2 】

【特許文献 1】

特開2002-25245号公報

【 0 0 2 3 】

【特許文献 2】

米国特許第5,946,227 号明細書

【 0 0 2 4 】

【特許文献 3】

米国特許第5,986,925 号明細書

【0 0 2 5】

【発明が解決しようとする課題】

上記したように従来のMRAMは、MRAMセルの磁気抵抗素子の抵抗値がばらついた場合、そのばらつき量が直接に読み出し信号量に影響を与えるという問題点があった。また、メモリセルアレイ内のMRAMセルの位置によって読み出される信号の絶対値が異なってしまうという問題点があった。

【0 0 2 6】

本発明は上記の問題点を解決すべくなされたもので、MRAMセルの磁気抵抗素子の抵抗値のばらつきや、メモリセルアレイ内のMRAMセルの位置に拘らず、MRAMセルの読み出し信号量を安定化し、MRAMの読み出し動作速度の増加を防ぎつつ、大規模なメモリセルアレイ構成を可能とし、チップ面積の低減およびチップコストの低減を図り得る半導体記憶装置を提供することを目的とする。

【0 0 2 7】

【課題を解決するための手段】

本発明の半導体記憶装置は、それぞれトンネル磁気抵抗効果を持ち、データ読み出しノードを介して直列接続され、互いに逆のデータを保持する第1の磁気抵抗素子および第2の磁気抵抗素子を含む磁気メモリセルと、複数の前記磁気メモリセルが行列状に配置されたメモリセルアレイと、前記磁気メモリセルにデータを書き込む書き込み用ビット線および書き込み用ワード線と、前記磁気メモリセルのデータを読み出す読み出し用ビット線とを具備することを特徴とする。

【0 0 2 8】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0 0 2 9】

<第1の実施形態>

図1は、本発明の第1の実施形態に係るMRAMにおける磁気メモリセルMCのアレイの一部を示す等価回路図である。

【 0 0 3 0 】

図 1 中、MCは、第 1 のノードと第 2 のノードとの間に、それぞれトンネル磁気抵抗効果を持つ 2 つの磁気抵抗素子 MTJ [0] および MTJ [1] がデータ読み出しノードを介して直列接続された構成を有する 2MTJ 型のものである。この場合、2 つの MTJ [0] , MTJ [1] は互いに逆のデータが記憶される。なお、以下の説明において、2 つの MTJ [0] , MTJ [1] を区別しないで表わす場合には MTJ と記す。

【 0 0 3 1 】

WBL [0] および WBL [1] は MC にデータを書き込むための書き込み用ビット線、WWL はデータを書き込み時に MC を選択するための書き込み用ワード線、RBL は MC のデータを読み出すための読み出し用ビット線を表わす。

【 0 0 3 2 】

書き込みビット線 WBL [0] , WBL [1] は互いに平行に配置され、これらに対して直交する方向に書き込みワード線 WWL が配置される。このように互いに交差すると書き込みビット線 WBL [0] , WBL [1] と書き込みワード線 WWL の各交点に対応して MC の MTJ [0] , MTJ [1] が配置される。

【 0 0 3 3 】

そして、通常は、複数の MC が行列状に配置されたメモリセルアレイ、複数本の書き込み用ワード線 WWL 、複数対の書き込み用ビット線 (WBL [0] , WBL [1]) などにより 1 つのセルアレイユニットが構成され、複数のセルアレイユニットが半導体基板上に積み重ねられてセルアレイ積層構造 (図示せず) が構成される。

【 0 0 3 4 】

MC に対して情報を書き込む動作は、書き込み用ワード線 WWL , 書き込み用ビット線 WBL [0] , WBL [1] に電流を流し、その電流によって発生する合成磁界によって MTJ [0] , MTJ [1] のスピンの向きを互いに逆 (平行または反平行) にすることにより達成される。この場合、書き込みワード線 WWL には一定方向に向かう電流を流し、書き込みビット線 WBL [0] , WBL [1] には書き込みデータに応じて互いに逆方向に向かう電流を流す。

【 0 0 3 5 】

MC から情報を読み出す動作は、一方の書き込み用ビット線 WBL [0] に V0 なる電位

を印加し、他方の書き込み用ビット線WBL[1]にV1なる電位を印加することで磁気メモリセルMCの両端に電位差を与え、磁気抵抗素子MTJ[0]またはMTJ[1]の抵抗値と、MTJ[0]およびMTJ[1]の合成抵抗との比で決まるデータ読み出しノードの電位を情報として読み出し用ビット線RBLに読み出す。

【 0 0 3 6 】

次に、読み出し信号量を算出する。

【 0 0 3 7 】

"1" データが記憶されている状態の磁気抵抗素子MTJの抵抗をRa、"0" データが記憶されている状態の磁気抵抗素子MTJの抵抗をRp、磁気抵抗素子MTJに所定の磁界を印加した前後の抵抗値の変化率MR比 $= (Ra - Rp) / Rp = (Ra / Rp) - 1$ から、

$Ra = (1 + MR) \times Rp$ と定義する。

【 0 0 3 8 】

また、MTJ[0]="0"/MTJ[1]="1"の時に磁気メモリセルMCに"1"が記憶されていると定義し、MTJ[0]="1"/MTJ[1]="0"の時に磁気メモリセルMCに"0"が記憶されていると定義する。MC="1"の場合、RBLの電位Vsig1は、

$$V_{sig1} = \{Ra / (Ra + Rp)\} \times (V0 - V1) \quad \dots (式1)$$

と計算できる。同様にMC="0"の場合、RBLの電位Vsig0は、

$$V_{sig0} = \{Rp / (Ra + Rp)\} \times (V0 - V1) \quad \dots (式2)$$

と計算できる。これらの式をMRによって書き直すと、

$$V_{sig1} = \{(1 + MR) / (2 + MR)\} \times (V0 - V1) \quad \dots (式3)$$

$$V_{sig0} = \{1 / (2 + MR)\} \times (V0 - V1) \quad \dots (式4)$$

となる。ここで、Vsig0とVsig1の平均値、即ち、読み出し時の参照電位Vrefは、次のように計算できる。

【 0 0 3 9 】

$$V_{ref} = (V_{sig0} + V_{sig1}) / 2 = (V0 - V1) / 2 \quad \dots (式5)$$

即ち、上記したMCによれば、2つのMTJを直列接続した構成をとり、2つのMTJには互いに逆のデータが蓄えられる。MCからの情報の読み出しは、MCの両端に電位差を与え、2つのMTJの間のノードの電位を読み出すことで行われるので、読み出し信号の値は、MTJの抵抗の絶対値に依存せず、2つのMTJの抵抗比によ

って決まる。

【0040】

このような動作原理により、異なるメモリチップ間でMTJ 抵抗がばらついた場合にも、読み出される信号電圧の絶対値は変化せず、一定の読み出しマージンが確保され、また、センス系回路をチップ毎に調整する必要が無い。

【0041】

また、読み出し時にセンスアンプに入力される参照電位は、MTJ の抵抗値に依存せず、メモリセル両端に印加される電位差の1/2 (“1” データと“0” データの中間電位) となるので、異なるチップ間でMTJ 抵抗がばらついた場合にも参照電位をチップ毎に調整する必要が無い。

【0042】

さらに、読み出し動作に際して、従来例で必要とされた定電流源や電圧クランプ回路などのフィードバック系回路が不要になるので、センス系回路が単純となり、コア部回路のレイアウト面積の縮小が可能となる。例えばDRAMと同様のラッチ型センスアンプを採用した場合には、バースト読み出しなどの機能も実現可能である。

【0043】

<第2の実施形態>

図2 (a) は、本発明の第2の実施形態に係るMRAMにおける磁気メモリセルMCのアレイの一部を示す等価回路図である。

【0044】

図2 (a) に示すMRAMは、前述した第1の実施形態のMRAMと比べてMCの構成が異なり、図2 (a) の2Tr-2MTJ型MCは、図1の2MTJ型MCと比べて、MTJ[0]とRBLとの間にセル選択用のトランスファゲートXFER[0] が接続され、MTJ[1]とRBLとの間にセル選択用のトランスファゲートXFER[1] が接続されている。この2つのトランスファゲートXFER[0], XFER[1] は、それぞれNMOSFET が用いられており、その各ゲートに読み出し用ワード線RWL が接続されている。そして、2つのセル選択用トランスファゲートXFER[0], XFER[1] の直列接続ノードがデータ読み出しノードとなってRBL に接続されている点が異なり、その他は同じであるので図1

中と同一符号を付してその説明を省略する。

【 0 0 4 5 】

図 2 (a) の MC の動作は、図 1 の MC の動作と比べて、 2 つのセル選択用トランスファゲートのオン／オフ状態が読み出し用ワード線 RWL により制御される点以外は、基本的には同じである。

【 0 0 4 6 】

このように RBL と MTJ との間にトランスファゲート XFER が設けたので、セルアレイ中の活性化状態（選択状態）の MC と非活性化状態（非選択状態）の MC との間で読み出し用ビット線 RBL を介した回り込み電流を遮断するように分離することが可能となり、確実な読み出し動作が可能となる。

【 0 0 4 7 】

また、書き込み用ワード線 WWL とは別に XFER を制御するために設けられている読み出し用ワード線 RWL は、読み出し時に XFER がオンにされることによってその実効的な抵抗が低減し、高速な動作が実現されることによって MRAM の読み出し動作時間の増加を防ぎつつ、大規模なセルアレイを構成することが可能となり、チップ面積の低減およびチップコストの低減を図ることが可能になる。

【 0 0 4 8 】

図 2 (b) は、図 2 (a) に示した 2Tr-2MTJ 型メモリセルの断面構造の垂直面内レイアウトを MTJ [1] 側から MTJ [0] 側を見て模式的に示す図である。

【 0 0 4 9 】

図 3 および図 4 は、図 2 (a) に示した 2Tr-2MTJ 型メモリセルの平面レイアウトの一例を分かり易く表示するために、図 2 (b) 中の C-C 線により上下を分割し、C-C 線より下層の平面レイアウトおよび C-C 線より上層の平面レイアウトを示す図である。

【 0 0 5 0 】

図 3 および図 4 において、STI は半導体基板に選択的に形成された素子分離領域、Gox は基板表面に形成されたゲート酸化膜、GC はゲート電極、diffusion は素子分離領域 STI で囲まれたアクティブ領域 AA に選択的に形成されたドレイン・ソース領域用の拡散層である。

【 0 0 5 1 】

M0は基板上に層間絶縁膜を介して形成された第1配線層、CDはM0からdiffusion へのコンタクト、M1は第1配線層M0上に層間絶縁膜を介して形成された第2配線層、C1はM1からM0へのコンタクトである。

【 0 0 5 2 】

MXは第2配線層M1上に層間絶縁膜を介して形成されたMTJ 接続用配線層、CXはMXからM1へのコンタクト、MTJ はMTJ 素子、M2はMTJ 接続用配線層MX上に層間絶縁膜を介して形成され、MTJ 素子の上部に接続された第3配線層である。

【 0 0 5 3 】

また、WWL、RWL、WBL、RBL は配線層の用途を表わしており、WWL は書き込み用ワード線、RWL は読み出し用ワード線、WBL は書き込み用ビット線、RBL は読み出し用ビット線である。

【 0 0 5 4 】

そして、WWL とWBL は直交方向に配置され、WWL とWBL の交点に対応してMTJ が配置されており、RBL がWBL と平行に配置されている例を示している。

【 0 0 5 5 】

なお、図2(b)は、MJT の下方に配線される下部配線である第2配線層M1がWWL であり、MJT の上部配線である第3配線層M2が書き込みビット線WBL である場合を示したが、これに限らず、他の配線構造を採用した場合にも本発明を適用可能である。

【 0 0 5 6 】

＜第2の実施形態の変形例＞

図5は、本発明の第2の実施形態の変形例に係るMRAMにおける磁気メモリセルMCのアレイの一部を示す等価回路図である。

【 0 0 5 7 】

図5に示すMRAMは、図2(a)に示したMRAMと比べてMCの構成が異なり、図5の2Tr-2MTJ型MCは、図2(a)の2Tr-2MTJ型MCと比べて、MTJ[0]のWBL[0]側にセル選択用のトランスファゲートXFER[0] が接続され、MTJ[1]のWBL[1]側にセル選択用のトランスファゲートXFER[1] が接続されている。この2つのトランスファ

ゲート XFER [0], XFER [1] の各ゲートに読み出し用ワード線 RWL が接続されている。そして、MTJ [0] と MTJ [1] の直列接続ノードがデータ読み出しノードとなっている点が異なり、その他は同じであるので図 2 (a) 中と同一符号を付している。

【 0 0 5 8 】

＜第 3 の実施形態＞

図 6 (a) は、本発明の第 3 の実施形態に係る MRAM における磁気メモリセル MC のアレイの一部を示す等価回路図である。

【 0 0 5 9 】

図 6 (a) に示す MRAM は、前述した第 1 の実施形態の MRAM と比べて MC の構成が異なり、図 6 (a) の 3Tr-2MTJ 型 MC は、図 1 の 2MTJ 型 MC と比べて、MTJ [0] と MTJ [1] の間に 1 個のセル選択用のトランスファゲート XFER が接続され、MTJ [0] とトランスファゲート XFER の一端との接続ノードに第 1 の読み出し用トランスファゲート XFER [0] の一端が接続され、MTJ [1] とセル選択用トランスファゲート XFER との接続ノードに第 2 の読み出し用トランスファゲート XFER [1] の一端が接続され、これらの 2 つの読み出し用トランスファゲート XFER [0], XFER [1] の各他端同士が共通に RBL に接続されている。上記各トランスファゲート XFER X, FER [0], XFER [1] は、それぞれ NMOSFET が用いられており、その各ゲート同士が読み出し用ワード線 RWL に接続されている点が異なり、その他は同じであるので図 1 中と同一符号を付してその説明を省略する。

【 0 0 6 0 】

図 6 (a) に示す 3Tr-2MTJ 型 MC の動作は、図 1 に示した 2MTJ 型 MC の動作と比べて、3 つのセル選択用トランスファゲート XFER, XFER [0], XFER [1] のオン／オフ状態が読み出し用ワード線 RWL により制御される点以外は、基本的には同じである。

【 0 0 6 1 】

そして、前記したように MTJ [0], MTJ [1] 間にトランスファゲート XFER を設け、MTJ と RBL との間にそれぞれ XFER を設けたことにより、セルアレイ中の活性化状態（選択状態）のメモリセルと非活性化状態（非選択状態）のメモリセルとの間で読み出し用ビット線 RBL を介した回り込み電流を遮断するように分離すること

が可能となり、確実な読み出し動作が可能となる。

【 0 0 6 2 】

図 6 (b) は、図 6 (a) に示した 3Tr-2MTJ 型メモリセルの断面構造の垂直面内レイアウトを MTJ [1] 側から MTJ [0] 側を見て模式的に示す図である。

【 0 0 6 3 】

図 7 および図 8 は、図 6 (a) に示した 3Tr-2MTJ 型メモリセルの平面レイアウトの一例を分かり易く表示するために、図 6 (b) 中の C-C 線により上下を分割し、C-C 線より下層の平面レイアウトおよび C-C 線より上層の平面レイアウトを示す図である。

【 0 0 6 4 】

< 第 3 の実施形態の変形例 >

図 9 は、図 7 に示した下層の平面レイアウトの他の例を示す図である。図 9 の平面レイアウトは、図 7 の平面レイアウトと比較して、アクティブ領域 AA の切り欠き部分 (T 字型の GC の分岐部分) が無くなっている点が異なり、その他は同じであるので同じ符号を付している。

【 0 0 6 5 】

上記アクティブ領域 AA の切り欠き部分は、パターンの微細化が進んだ場合にリソグラフィの精度が厳しい部分となるので、無い方がスケージングに適したパターンであると言える。

【 0 0 6 6 】

< 第 4 の実施形態 >

図 1 0 (a) は、本発明の第 4 の実施形態に係る MRAM における磁気メモリセル MC のアレイの一部を示す等価回路図である。

【 0 0 6 7 】

図 1 0 (a) に示す MRAM は、図 6 (a) に示した MRAM と比べて MC の構成が異なり、図 1 0 (a) の 2Tr-2MTJ 型 MC は、図 6 (a) の 3Tr-2MTJ 型 MC と比べて、第 2 の読み出し用トランスファゲート XFER [1] が省略されている。

【 0 0 6 8 】

換言すれば、図 1 0 (a) の 2Tr-2MTJ 型 MC は、図 1 の 2MTJ 型 MC と比べて、MTJ [

0]とMTJ[1]の間に1個のセル選択用のトランスファゲートXFERが接続され、MTJ[0]とトランスファゲートXFERの一端との接続ノードは読み出し用トランスファゲートXFER[0]を介してRBLに接続されている。上記各トランスファゲートXFER,XFER[0]は、それぞれNMOSFETが用いられており、その各ゲート同士がRWLに接続されている点が異なり、その他は同じであるので図1中と同一符号を付してその説明を省略する。

【0069】

図10(a)に示す2Tr-2MTJ型MCの動作は、図1に示した2MTJ型MCの動作と比べて、2つのセル選択用トランスファゲートXFER,XFER[0]のオン/オフ状態が読み出し用ワード線RWLにより制御される点以外は、基本的には同じである。

【0070】

そして、前記したようにMTJ[0],MTJ[1]間にトランスファゲートXFERを設け、MCとRBLとの間にXFER[0]を設けたことにより、セルアレイ中の活性化状態(選択状態)のメモリセルと非活性化状態(非選択状態)のメモリセルとの間で読み出し用ビット線RBLを介した回り込み電流を遮断するように分離することが可能となり、確実な読み出し動作が可能となる。

【0071】

図10(b)は、図10(a)に示した2Tr-2MTJ型メモリセルの断面構造の垂直面内レイアウトをMTJ[1]側からMTJ[0]側を見て模式的に示す図である。

【0072】

図11および図12は、図10(a)に示した2Tr-2MTJ型メモリセルの平面レイアウトの一例を分かり易く表示するために、図10(b)中のC-C線により上下を分割し、C-C線より下層の平面レイアウトおよびC-C線より上層の平面レイアウトを示す図である。ここでは、RBLがWBLと平行に配置されている例を示している。

【0073】

<第5の実施形態>

図13(a)は、本発明の第5の実施形態に係るMRAMにおける磁気メモリセルMCのアレイの一部を示す等価回路図である。

【 0 0 7 4 】

図 1 3 (a) に示す MRAM は、前述した第 1 の実施形態の MRAM と比べて MC の構成が異なり、図 1 3 (a) の 1Tr-2MTJ 型 MC は、図 1 の 2MTJ 型 MC と比べて、MTJ [0] と MTJ [1] との接続ノードが読み出し用トランスファゲート XFER を介して RBL に接続されている。上記トランスファゲート XFER は、NMOSFET が用いられており、そのゲートが RWL に接続されている点と異なり、その他は同じであるので図 1 中と同一符号を付してその説明を省略する。

【 0 0 7 5 】

図 1 3 (a) の 1Tr-2MTJ 型 MC の動作は、図 1 の 2MTJ 型 MC の動作と比べて、読み出し用トランスファゲート XFER のオン／オフ状態が読み出し用ワード線 RWL により制御される点以外は、基本的には同じである。

【 0 0 7 6 】

そして、前記したように MC と RBL との間に XFER を設けたことにより、セルアレイ中の活性化状態（選択状態）のメモリセルと非活性化状態（非選択状態）のメモリセルとの間で RBL を介した回り込み電流を遮断するように分離することが可能となり、確実な読み出し動作が可能となる。

【 0 0 7 7 】

図 1 3 (b) は、図 1 3 (a) に示した 1Tr-2MTJ 型メモリセルの断面構造の垂直面内レイアウトを MTJ [1] 側から MTJ [0] 側を見て模式的に示す図である。

【 0 0 7 8 】

図 1 4 および図 1 5 は、図 1 3 (a) に示した 1Tr-2MTJ 型メモリセルの平面レイアウトの一例を分かり易く表示するために、図 1 3 (b) 中の C-C 線により上下を分割し、C-C 線より下層の平面レイアウトおよび C-C 線より上層の平面レイアウトを示す図である。ここでは、RBL が WBL と平行に配置されている例を示している。

【 0 0 7 9 】

＜第 5 の実施形態の変形例＞

図 1 6 は、図 1 4 に示した下層の平面レイアウトの他の例を示す図である。ここでは、RBL が WBL と直交する方向に配置されている例を示している。

【 0 0 8 0 】

<第 6 の実施形態>

図 1 7 は、本発明の第 6 の実施形態に係る MRAM における磁気メモリセル MC のアレイの一部と読み出し系回路の一部を示す等価回路図である。

【 0 0 8 1 】

図 1 7 に示す MRAM は、前述した第 2 の実施形態の MRAM と比べて、データ読み出しノードから RBL に読み出された電位をセンスアンプ S/A で参照電位 V_{ref} と比較してデータを検知して信号 V_{saout} を出力する読み出し系回路が示されており、さらに、読み出し時にそれぞれ対応して印加される電圧源 V_0, V_1 と MTJ [0], MTJ [1] との間の書き込み用ビット線 WBL [0], WBL [1] に、それぞれ対応して書き込み用トランスファゲート XFER が挿入されている点が異なり、その他は同じであるので図 2 (a) 中と同一符号を付してその説明を省略する。なお、図 1 7 中、MC は表示の簡単化のために前述した 1Tr-2MTJ 型 MC を示したが、これに限らず、前述した 2Tr-2MTJ 型 MC、3Tr-2MTJ 型 MC を用いることが可能である。

【 0 0 8 2 】

本例では、前記参照電位 V_{ref} は参照電位発生回路（図示せず）から供給されるものであり、通常、 V_0 と V_1 の中間電位、即ち、 $V_{ref} = (V_0 + V_1) / 2$ となる電位である。

【 0 0 8 3 】

読み出し動作時には、書き込み用トランスファゲート XFER がオンになり、MC の両端に $V_0 - V_1$ なる電位差が印加される。そして、RWL が前記 V_0, V_1 のうちの高い方の電位よりも NMOSFET の閾値電圧 V_{th} 以上高い電位に活性化されて MC 内のセル選択用トランスファゲート XFER がオンになると、MC からの読み出された信号は RBL に転送され、S/A に入力され、 V_{ref} を基準としてセンス動作を行う。

【 0 0 8 4 】

本実施例では、読み出し動作時には書き込み用ビット線 WBL [0], WBL [1] にはある一定の電位を供給すればよく、また、S/A で使用する参照電位 V_{ref} も、WBL [0], WBL [1] に印加される V_0 と V_1 の中間電位であればよい。

【 0 0 8 5 】

よって、フィードバック回路を含む定電圧回路や、特殊な基準電位を生成する必要がなく、MRAMのコア部を構成する回路を簡略化できる。また、S/A は単純なラッチ回路でも実現可能であり、MCの配置ピッチと同じピッチでのレイアウトも可能となる。これにより、例えばバースト読み出しなどが実現可能となる。

【 0 0 8 6 】

＜第7の実施形態＞

図 1 8 は、本発明の第 7 の実施形態に係るMRAMにおける磁気メモリセルMCのアレイの一部と読み出し系回路の一部を示す等価回路図である。

【 0 0 8 7 】

図 1 8 に示すMRAMは、前述した第 2 の実施形態のMRAMと比べて、データ読み出しノードからRBL に読み出された電位をセンスアンプS/A で参照電位Vrefと比較してデータを検知して信号Vsaoutを出力する読み出し系回路が示されており、さらに、読み出し時にそれぞれ対応して印加される電圧源V0,V1 とMTJ[0] , MTJ[1] との間の書き込み用ビット線WBL[0] ,WBL[1] に、それぞれ対応して書き込み用トランスファゲートXFERが挿入されている点が異なり、その他は同じであるので図 2 (a) 中と同一符号を付してその説明を省略する。

【 0 0 8 8 】

本例では、前記Vrefは、ダミー磁気メモリセルDMC から供給されるものであり、通常、V0とV1の中間電位、即ち、 $Vref = (V0 + V1)/2$ となる電位である。

【 0 0 8 9 】

前記DMC はMCのMJT と同様のダミーMJT を用いてVrefを生成するように構成されており、このDMC から発生するVrefがダミー読み出し用ビット線に読み出され、センスアンプS/A に供給される。

【 0 0 9 0 】

なお、図 1 8 中、MCおよびDMC は表示の簡単化のために前述した1Tr-2MTJ型MCを示したが、これに限らず、前述した2Tr-2MTJ型MC、3Tr-2MTJ型MCを用いることが可能である。

【 0 0 9 1 】

次に、DMC の一具体例を説明する。

【 0 0 9 2 】

図 1 8 中に示す DMC は、2 個のダミー DMJT [0L] , DMTJ [1L] に互いに逆のデータを保持した第 1 のダミーセル DMC [0] と、2 個のダミー DMTJ [0R] , DMTJ [1R] に互いに逆のデータであって第 1 のダミーセルとは逆のデータを保持した第 2 のダミーセル DMC [1] とを有する。この場合、DMTJ [0L] と DMTJ [0R] はそれぞれ逆データを記憶するように設定される。そして、上記 2 個のダミーセルからそれぞれ対応してダミー読み出し用トランスファゲート XFER [L] , XFER [R] を介して読み出した電位を合成して Vref を生成してダミー読み出し用ビット線 DRBL に読み出される。

【 0 0 9 3 】

なお、図 7 中、DWL はダミーセルの書き込み用ワード線、DRWL はダミーセルの読み出し用ワード線を表わす。

【 0 0 9 4 】

これにより、読み出し動作時に DRWL が活性化された場合、DRBL には $(V_0 - V_1) / 2$ で表される電位が出力される。

【 0 0 9 5 】

次に、図 1 8 中の DMC の変形例を説明する。

【 0 0 9 6 】

図 1 9 中に示す DMC は、2 個のダミー DMJT に互いに同じデータを保持した第 1 のダミーセル DMC [0] と、2 個のダミー DMJT に互いに同じデータであって第 1 のダミーセルとは逆のデータを保持した第 2 のダミーセル DMC [1] とを有する。そして、上記 2 個のダミーセルからそれぞれ対応してダミー読み出し用トランスファゲート XFER [L] , XFER [R] を介して読み出した電位を合成して Vref を生成してダミー読み出し用ビット線 DRBL に読み出される。なお、図 1 9 中、DWL はダミーセルの書き込み用ワード線、DRWL はダミーセルの読み出し用ワード線を表わす。

【 0 0 9 7 】

これにより、読み出し動作時に DRWL が活性化された場合、DRBL には $(V_0 - V_1) / 2$ で表される電位が出力される。

【 0 0 9 8 】

なお、図 1 9 中、MC および DMC は表示の簡単化のために前述した 1Tr-2MTJ 型 MC

を示したが、これに限らず、前述した2Tr-2MTJ型MC、3Tr-2MTJ型MCを用いることが可能である。

【0099】

＜第8の実施形態＞

図20は、本発明の第8の実施形態に係るMRAMにおける磁気メモリセルMCのレイの一部と読み出し系回路の一部を示す等価回路図である。

【0100】

図20に示すMRAMは、前述した第2の実施形態のMRAMと比べて、MCから情報を読み出す動作時に、第1の期間にはMTJ[0], MTJ[1] 間に所定の電位差を与え、第2の期間にはMTJ[0], MTJ[1] 間に前記電位差とは同じ大きさで逆極性の電位差を与える切換回路が付加されており、前記第1の期間にMCからRBLに読み出された電位をセンスアンプS/Aの参照電位Vrefとし、前記第2の期間にMCからRBLに読み出された電位をセンスアンプS/Aで前記Vrefと比較してMCのデータを検知して信号Vsaoutを出力する疑似的な自己リファレンス方式の読み出し系回路が示されている点が異なり、その他は同じであるので図2(a)中と同一符号を付してその説明を省略する。なお、図20中、MCは表示の簡単化のために前述した1Tr-2MTJ型MCを示したが、これに限らず、前述した2Tr-2MTJ型MC、3Tr-2MTJ型MCを用いることが可能である。

【0101】

前記切換回路の一例は、第1のノードに接続される電圧源V0と書き込み用ビット線WBL[0]との間に第1グループのスイッチ素子SW[0a]が挿入され、第2のノードに接続される電圧源V1と前記WBL[0]との間に第2グループのスイッチ素子SW[0b]が挿入され、電圧源V1と書き込み用ビット線WBL[1]との間に第1グループのスイッチ素子SW[1a]が挿入され、電圧源V0と前記WBL[1]との間に第2グループのスイッチ素子SW[1b]が挿入される。そして、第1グループの2個のスイッチ素子SW[0a], SW[1a]は第1期間に活性化制御される第1のスイッチ制御線Paによってオン状態にスイッチング制御され、第2グループの2個のスイッチ素子SW[0b], SW[1b]は第2期間に活性化制御される第2のスイッチ制御線Pbによってオン状態にスイッチング制御される。

【 0 1 0 2 】

本例のMRAMは、選択されたMCからデータを読み出す際、書き込み用ビット線WBL[0], WBL[1] 間に印加する電位を、一回目の読み出し動作と二回目の読み出し動作とで切り替えて読み出し動作を行う。

【 0 1 0 3 】

即ち、一回目の読み出し動作においては、Paが活性化されて第1グループの2個のSW[0a]とSW[1a]がオン状態となる。これにより、WBL[0]の電位はV0、WBL[1]の電位はV1となる。ここで、MCに"1"が記憶されているとすると、RBLには、

$$V_{sig}[a] = \{(1 + MR) / (2 + MR)\} \times (V0 - V1) \quad \dots (式 6)$$

なる電位が出力される。次に、二回目の読み出し動作においては、Pbが活性化されて第2グループの2個のSW[0b]とSW[1b]がオン状態となる。これにより、WBL[0], WBL[1]の電位は、一回目の読み出し動作とは逆に、WBL[0]の電位がV1に、WBL[1]の電位がV0となる。この時、RBLには、

$$V_{sig}[b] = \{1 / (2 + MR)\} \times (V0 - V1) \quad \dots (式 7)$$

なる電位が出力される。

【 0 1 0 4 】

なお、上記したような疑似的な自己リファレンス方式の読み出し系回路は、従来の自己リファレンス方式の読み出し系回路と比べて、MCに対する書き込み動作が不要であるので、書き込み動作に起因する電源ノイズによるセンス感度の悪化が生じない。また、同一電位を比較するのではなく、二回目の読み出し動作時の読み出し電位は、一回目の読み出し動作時の読み出し電位であるVrefに比べて必ず電位差があるので、センス動作を短時間で正確に行われる。

【 0 1 0 5 】

＜第9の実施形態＞

図21は、図20に示した読み出し系回路の一具体例を示す回路図である。

【 0 1 0 6 】

図21中に示す読み出し系回路は、図8中に示した読み出し系回路において切換回路（第1の切換回路）による第1の期間と第2の期間にMCからRBLに読み出された電位の供給先を、第1の期間と第2の期間とで切り替える第2の切換回路

が付加されている。そして、センスアンプS/A は、第 1 の期間にMCからRBL に読み出された電位を第 1 の入力端の入力容量で保持して参照電位Vrefとし、第 2 の期間にMCからRBL に読み出された電位を第 2 の入力端の入力容量で保持して前記Vrefと比較してMCのデータを検知して信号Vsaoutを出力する。その他は同じであるので図 2 0 中と同一符号を付してその説明を省略する。なお、SAENBLはS/A の活性化信号である。また、図 2 1 中、MCは表示の簡単化のために前述した1Tr-2MTJ型MCを示したが、これに限らず、前述した2Tr-2MTJ型MC、3Tr-2MTJ型MCを用いることが可能である。

【 0 1 0 7 】

前記第 2 の切換回路の一例は、RBL とセンスアンプS/A の第 1 の入力端（－）との間に第 5 のスイッチ素子SW [c] が挿入され、RBL とセンスアンプS/A の第 2 の入力端（＋）との間に第 6 のスイッチ素子SW [d] が挿入される。そして、スイッチ素子SW [c] は第 1 期間に活性化制御される第 3 のスイッチ制御線Pcによってオン状態にスイッチング制御され、スイッチ素子SW [d] は第 2 期間に活性化制御される第 4 のスイッチ制御線Pdによってオン状態にスイッチング制御される。

【 0 1 0 8 】

本例のMRAMは、選択されたMCからデータを読み出す際、書き込み用ビット線WBL [0] ,WBL [1] 間に印加する電位を、一回目の読み出し動作と二回目の読み出し動作とで切り替えて読み出し動作を行う。そして、一回目の読み出し動作時にはPcが活性化され、RBL に出力された信号はSW [c] を介してS/A の「－」入力端に転送される。その後、Pcは非活性化される。二回目の読み出し動作時にはPdが活性化され、RBL に出力された信号はSW [d] を介してS/A の「＋」入力端に転送される。その後、Pdは非活性化される。その後、SAENBLが活性化されてS/A が起動し、センス結果である信号Vsaoutが出力される。

【 0 1 0 9 】

本例においては、S/A に入力される信号の差分は、前述の（式 6）と（式 7）から、

$$V_{sig}[a] - V_{sig}[b] = \{MR / (2 + MR)\} \times (V_0 - V_1) \quad \dots (式 8)$$

と計算できる。つまり、2 回の読み出し動作により、前記第 1 の実施形態の 2 倍

の読み出し信号量を得ることが可能となる。

【0 1 1 0】

<第 1 0 の実施形態>

図 2 2 は、図 2 0 に示した読み出し系回路の他の例を示す回路図である。

【0 1 1 1】

図 2 2 中に示す読み出し系回路は、図 2 0 中に示した読み出し系回路において切換回路による第 1 の期間と第 2 の期間に MC から RBL に読み出された電位の供給経路を第 1 の期間と第 2 の期間とでスイッチング制御する第 3 のスイッチ素子 SW [c] が付加されている。そして、センスアンプは、微分回路 DIFF の入出力端間に第 4 のスイッチ素子 SW [d] が並列に接続されてなる。なお、ND は微分回路 DIFF の入力ノードである。また、図 2 2 中、MC は表示の簡単化のために前述した 1Tr-2MTJ 型 MC を示したが、これに限らず、前述した 2Tr-2MTJ 型 MC、3Tr-2MTJ 型 MC を用いることが可能である。

【0 1 1 2】

上記第 3 のスイッチ素子 SW [c] は、第 1 期間に活性化制御される第 3 のスイッチ制御線 Pc によってオン状態にスイッチング制御される。また、前記第 4 のスイッチ素子 SW [d] は第 2 期間に活性化制御される第 4 のスイッチ制御線 Pd によってオン状態にスイッチング制御される。

【0 1 1 3】

本例の MRAM は、選択された MC からデータを読み出す際、図 8 中に示した切り替え回路によって書き込み用ビット線 WBL [0], WBL [1] 間に印加する電位を、一回目の読み出し動作と二回目の読み出し動作とで切り替える。

【0 1 1 4】

上記一回目の読み出し動作においては、Pc が活性化されて SW [c] がオン状態となる。これにより、RBL に読み出された信号が SW [c] を介して ND に転送され、その後 Pc が非活性化される。この時、Pd は活性化されており、DIFF の出力端と入力端は短絡されており、DIFF の入力ノード ND の電位は Vref として保持される。

【0 1 1 5】

そして、二回目の読み出し動作においては、RBL に信号が読み出された後、Pd

が非活性化されてDIFFの出力端と入力端とは電氣的に分離される。その後、SW[c] が活性化され、RBL に読み出された信号がSW[c] を介してNDに転送される。この時、DIFFの入力の入力ノードNDの電位変化をDIFFが検知することによってMCのデータを検知し、その結果が信号Vsaoutとして出力される。

【 0 1 1 6 】

本例の読み出し系回路によれば、MTJ の抵抗値の絶対値に依存せず、MTJ[0] と MTJ[1] の抵抗値の相対関係のみによってセンス動作が行われるので、MTJ の抵抗値がメモリチップ間で変動した場合にも、確実なセンス動作を実現できる。

【 0 1 1 7 】

＜第 1 1 の実施形態＞

図 2 3 は、本発明の第 1 1 の実施形態に係るMRAMにおける磁気メモリセルMCのアレイの一部と周辺回路の一部を取り出して一例を示す回路図である。

【 0 1 1 8 】

図 2 3 に示すMRAMは、前述した第 1 の実施形態～第 5 の実施形態のいずれかに示したMCが行列状に配置されたセルアレイの各行のMCに共通接続された読み出しワード線RWL が行方向に配置されており、セルアレイの各列のMCに共通接続された読み出し用ビット線RBL が列方向に配置されており、前記セルアレイの各列に対応してセンスアンプS/A が接続されており、RBL がWBL と平行に配置されている例を示す。

【 0 1 1 9 】

なお、図 2 3 中、MCは表示の簡単化のために前述した1Tr-2MTJ型MCを示したが、これに限らず、前述した2Tr-2MTJ型MC、3Tr-2MTJ型MCを用いることが可能である。

【 0 1 2 0 】

R/D はそれぞれロウデコーダであり、その出力は読み出し用ワード線RWL に接続されている。センスアンプS/A のVREFは参照電位発生回路（図示せず）から供給される。

【 0 1 2 1 】

そして、読み出し動作時に各列の一对のWBL 間に電位差を供給するための読み

出し用ドライバDRV が接続されている。この読み出し用ドライバDRV は、一对のWBL のうち的一方に第1の電位を供給する第1の読み出し用電位供給源と、一对のWBL のうちの他方に第2の電位を供給する第2の読み出し用電位供給源を有するものであり、この2つの読み出し用電位供給源は一对のWBL の同一方向の一端側に配置されて接続されている。本例では、一对のWBL に対応して読み出し用電位供給用のPMOSFET(PT) およびNMOSFET(NT) が接続されており、書き込み動作用の一对のWBL ドライバを兼用することが可能である。

【0 1 2 2】

本例では、一对のWBL に対応する一对のWBL ドライバと一行のRWL に対応するR/D を活性化するだけで、一行に接続される全てのMCの情報を読み出すことが可能である。

【0 1 2 3】

また、一对のWBL の同一方向の一端側に2つの読み出し用電位供給源を配置して接続することにより、それぞれの電位供給源と選択されたメモリセルとの間の距離が等しくなり、一对のWBL のそれぞれの抵抗が等しくなるので、読み出しマージンが大きくなる。

【0 1 2 4】

次に、本発明に係るMCに対する読み出し動作に際してビット線WBL,RBL をプリチャージする方式について説明する。基本的には、WBL またはRBL を、(a) V_{aa} にプリチャージする方式、(b) $(V_{aa}+V_{ss})/2$ にプリチャージする方式、(c) V_{ss} にプリチャージする方式を採用することが可能である。ここで、 V_{aa} , V_{ss} は、読み出し動作時に設定するWBL の電位を表わす。

【0 1 2 5】

図24 (a) は、読み出し動作前の期間に書き込み用ビット線WBL を第1の電位 V_{aa} にプリチャージする方式を採用した場合の読み出し動作時の電位波形の一例を示す。

【0 1 2 6】

図24 (b) は、読み出し動作前の期間に書き込み用ビット線WBL を第1の電位 V_{aa} と第2の電位 V_{ss} との中間電位 $(V_{aa}+V_{ss})/2$ にプリチャージする方式を採

用した場合の読み出し動作時の電位波形の一例を示す。

【 0 1 2 7 】

図 2 4 (c) は、読み出し動作前の期間に書き込み用ビット線 WBL を第 2 の電位 V_{ss} にプリチャージする方式を採用した場合の読み出し動作時の電位波形の一例を示す。

【 0 1 2 8 】

なお、図 2 4 (a) ~ (c) 中、READ は読み出しドライブ信号の電位波形、SN は 1 つのメモリセルに含まれる 2 つの MTJ 間のノードの電位波形（実線は "0" データ読み出し時、破線は "1" データ読み出し時）を示す。

【 0 1 2 9 】

図 2 5 (a) は、読み出し動作前の期間に読み出し用ビット線 RBL を第 1 の電位 V_{aa} にプリチャージする方式を採用した場合の読み出し動作時の電位波形の一例を示す。

【 0 1 3 0 】

図 2 5 (b) は、読み出し動作前の期間に読み出し用ビット線 RBL を第 1 の電位 V_{aa} と第 2 の電位 V_{ss} との中間電位 $(V_{aa} + V_{ss})/2$ にプリチャージする方式を採用した場合の読み出し動作時の電位波形の一例を示す。

【 0 1 3 1 】

図 2 5 (c) は、読み出し動作前の期間に読み出し用ビット線 RBL を第 2 の電位 V_{ss} にプリチャージする方式を採用した場合の読み出し動作時の電位波形の一例を示す。

【 0 1 3 2 】

なお、図 2 5 (a) ~ (c) 中、RWL は読み出し用のワード線の電位波形を示す。読み出し用のワード線が活性化された時、RWL の電位は第 1 の電位 V_{aa} またはこれよりも高い電位である。

【 0 1 3 3 】

< 第 1 2 の実施形態 >

図 2 6 は、本発明の第 1 2 の実施形態に係る MRAM における磁気メモリセル MC のアレイの一部と周辺回路の一部を取り出して一例を示す回路図である。

【 0 1 3 4 】

図 2 6 に示す MRAM は、前述した第 1 の実施形態～第 5 の実施形態のいずれかに示した MC が行列状に配置されたセルアレイの少なくとも一列分は参照電位 VREF を発生するためのダミー MC (DMC) が配置されており、セルアレイの各行の MC および DMC に共通接続された読み出しワード線 RWL が行方向に配置されており、セルアレイの各列の MC に共通接続された読み出し用ビット線 RBL が列方向に配置されており、セルアレイの DMC 配置列の各 DMC に共通接続されたダミー読み出し用ビット線 DRBL が列方向に配置されており、セルアレイの各列に対応してセンスアンプ S/A が接続されており、RBL が WBL と平行に配置されている例を示す。なお、図 2 4 中、MC は表示の簡単化のために前述した 1Tr-2MTJ 型 MC を示したが、これに限らず、前述した 2Tr-2MTJ 型 MC、3Tr-2MTJ 型 MC を用いることが可能である。

【 0 1 3 5 】

R/D はそれぞれロウデコーダであり、その出力は読み出し用ワード線 RWL に接続されている。各列の一对の WBL に対応して接続されている PMOSFET および NMOSFET は、読み出し用ドライバを兼ねる WBL ドライバであり、センスアンプ S/A の VREF はダミー読み出し用ビット線 DRBL に読み出される電位が供給される。

【 0 1 3 6 】

本例では、一对の WBL に対応する一对の WBL ドライバと一行の RWL に対応する R/D を活性化するだけで、一行に接続される全ての MC の情報を読み出すことが可能である。

【 0 1 3 7 】

また、本例でも、読み出し用ドライバ、読み出し動作に際してビット線 WBL、RBL をプリチャージする方式に関して、前述した第 1 1 の実施形態におけると同様に実施することが可能である。

【 0 1 3 8 】

< 第 1 3 の実施形態 >

図 2 7 は、本発明の第 1 3 の実施形態に係る MRAM における磁気メモリセル MC のアレイの一部と周辺回路の一部を取り出して一例を示す回路図である。

【 0 1 3 9 】

図 2 7 に示す MRAM は、前述した第 1 の実施形態～第 5 の実施形態のいずれかに示した MC が行列状に配置されたセルアレイの各列の MC に共通接続された読み出しワード線 RWL が列方向に配置されており、セルアレイの各行の MC に共通接続された読み出し用ビット線 RBL が行方向に配置されており、セルアレイの各行に対応してセンスアンプ S/A が接続されており、RBL が WBL と直交する方向に配置されている例を示す。

【0 1 4 0】

ここで、C/D はそれぞれカラムデコーダであり、その出力は読み出し用ワード線 RWL に接続されている。各列の一对の WBL に対応して接続されている PMOSFET および NMOSFET は、読み出し用ドライバを兼ねる WBL ドライバであり、センスアンプ S/A の VREF は参照電位発生回路（図示せず）から供給される。

【0 1 4 1】

本例では、一对の WBL に対応する一对の WBL ドライバと 1 カラムの RWL に対応する C/D をを活性化するだけで、1 カラムに接続される全ての MC の情報を読み出すことが可能である。

【0 1 4 2】

また、本例でも、読み出し用ドライバ、読み出し動作に際してビット線 WBL, RBL をプリチャージする方式に関して、前述した第 1 の実施形態におけると同様に実施することが可能である。

【0 1 4 3】

【発明の効果】

上述したように本発明の半導体記憶装置によれば、MRAM セルの磁気抵抗素子の抵抗値のばらつきや、メモリセルアレイ内の MRAM セルの位置に拘らず、MRAM セルの読み出し信号量を安定化し、MRAM の読み出し動作速度の増加を防ぎつつ、大規模なメモリセルアレイ構成を可能とし、チップ面積の低減およびチップコストの低減を図ることができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る MRAM における 2MTJ 型 MC のアレイの一部を示す等価回路図。

【図 2】 本発明の第 2 の実施形態に係る MRAM における 2Tr-2MTJ 型 MC のアレイの一部を示す等価回路図および 2Tr-2MTJ 型 MC の断面構造の垂直面内レイアウトを MTJ [1] 側から MTJ [0] 側を見て模式的に示す図。

【図 3】 図 2 (a) に示した 2Tr-2MTJ 型メモリセルの平面レイアウト中の C-C 線により下層の平面レイアウトの一例を示す図。

【図 4】 図 2 (a) に示した 2Tr-2MTJ 型メモリセルの平面レイアウト中の C-C 線により上層の平面レイアウトの一例を示す図。

【図 5】 本発明の第 2 の実施形態の変形例に係る MRAM における磁気メモリセル MC のアレイの一部を示す等価回路図。

【図 6】 本発明の第 3 の実施形態に係る MRAM における 3Tr-2MTJ 型 MC のアレイの一部を示す等価回路図および 2Tr-2MTJ 型 MC の断面構造の垂直面内レイアウトを MTJ [1] 側から MTJ [0] 側を見て模式的に示す図。

【図 7】 図 6 (a) に示した 2Tr-2MTJ 型メモリセルの平面レイアウト中の C-C 線により下層の平面レイアウトの一例を示す図。

【図 8】 図 6 (a) に示した 2Tr-2MTJ 型メモリセルの平面レイアウト中の C-C 線により上層の平面レイアウトの一例を示す図。

【図 9】 図 7 に示した下層の平面レイアウトの他の例を示す図。

【図 10】 本発明の第 4 の実施形態に係る MRAM における 2Tr-2MTJ 型 MC のアレイの一部を示す等価回路図および 2Tr-2MTJ 型 MC の断面構造の垂直面内レイアウトを MTJ [1] 側から MTJ [0] 側を見て模式的に示す図。

【図 11】 図 10 (a) に示した 2Tr-2MTJ 型メモリセルの平面レイアウト中の C-C 線により下層の平面レイアウトの一例を示す図。

【図 12】 図 10 (a) に示した 2Tr-2MTJ 型メモリセルの平面レイアウト中の C-C 線により上層の平面レイアウトの一例を示す図。

【図 13】 本発明の第 5 の実施形態に係る MRAM における 1Tr-2MTJ 型 MC のアレイの一部を示す等価回路図および 2Tr-2MTJ 型 MC の断面構造の垂直面内レイアウトを MTJ [1] 側から MTJ [0] 側を見て模式的に示す図。

【図 14】 図 13 (a) に示した 1Tr-2MTJ 型メモリセルの平面レイアウト中の C-C 線により下層の平面レイアウトの一例を示す図。

【図 1 5】 図 1 3 (a) に示した 1Tr-2MTJ 型メモリセルの平面レイアウト中の C-C 線により上層の平面レイアウトの一例を示す図。

【図 1 6】 図 1 4 に示した下層の平面レイアウトの他の例を示す図。

【図 1 7】 本発明の第 6 の実施形態に係る MRAM における磁気メモリセル MC のアレイの一部と読み出し系回路の一部を示す等価回路図。

【図 1 8】 本発明の第 7 の実施形態に係る MRAM における磁気メモリセル MC のアレイの一部と読み出し系回路の一部を示す等価回路図。

【図 1 9】 図 1 8 中の DMC の変形例を示す等価回路図。

【図 2 0】 本発明の第 8 の実施形態に係る MRAM における磁気メモリセル MC のアレイの一部と読み出し系回路の一部を示す等価回路図。

【図 2 1】 図 2 0 に示した読み出し系回路の一具体例を示す回路図。

【図 2 2】 図 2 0 に示した読み出し系回路の他の例を示す回路図。

【図 2 3】 本発明の第 1 1 の実施形態に係る MRAM における磁気メモリセル MC のアレイの一部と周辺回路の一部を取り出して一例を示す回路図。

【図 2 4】 本発明に係る MC に対する読み出し動作前の期間に書き込み用ビット線 WBL をプリチャージする 3 つの方式における読み出し動作時の電位波形の一例を示す波形図。

【図 2 5】 本発明に係る MC に対する読み出し動作前の期間に読み出し用ビット線 RBL を第 1 の電位 V_{aa} にプリチャージする 3 つの方式における読み出し動作時の電位波形の一例を示す波形図。

【図 2 6】 本発明の第 1 2 の実施形態に係る MRAM における磁気メモリセル MC のアレイの一部と周辺回路の一部を取り出して一例を示す回路図。

【図 2 7】 本発明の第 1 3 の実施形態に係る MRAM における磁気メモリセル MC のアレイの一部と周辺回路の一部を取り出して一例を示す回路図。

【図 2 8】 MRAM の代表的な 1Tr-1MTJ 型メモリセルを示す等価回路図。

【図 2 9】 図 2 8 に示した 1Tr-1MTJ 型メモリセルの断面構造の垂直面内のレイアウトを模式的に示す図。

【図 3 0】 従来の磁気メモリセルから情報を読み出す方式を概念的に示す回路図。

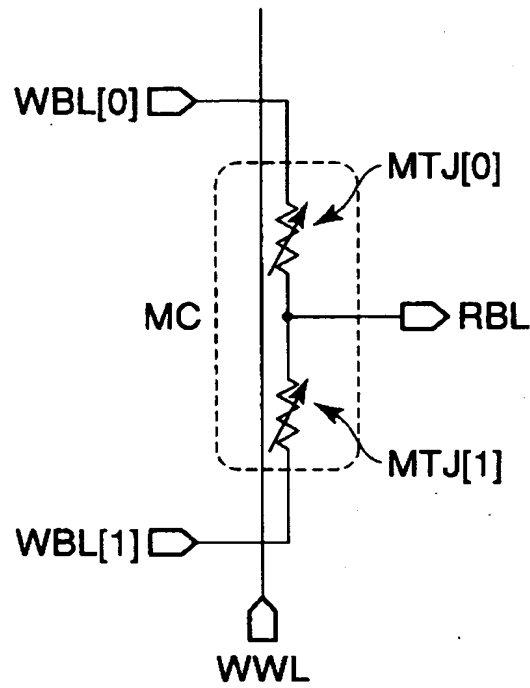
【符号の説明】

MC…磁気メモリセル、MTJ[0]…第1の磁気抵抗素子、MTJ[1]…第2の磁気抵抗素子、WBL[0],WBL[1]…書き込み用ビット線、WWL…書き込み用ワード線、RBL…読み出し用ビット線。

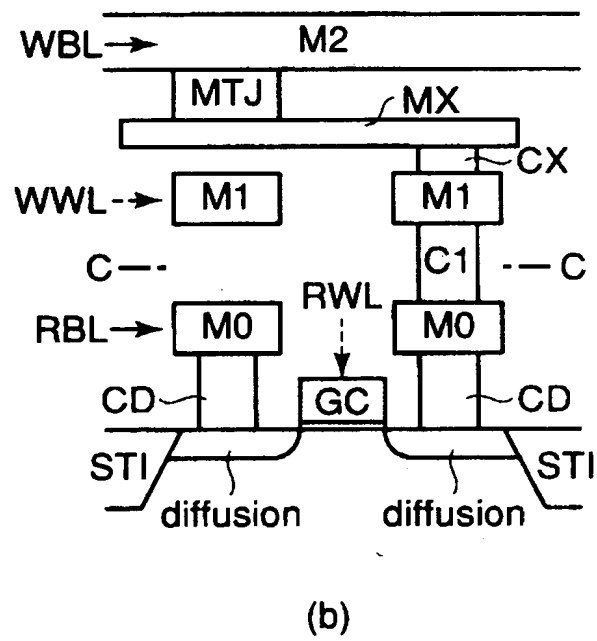
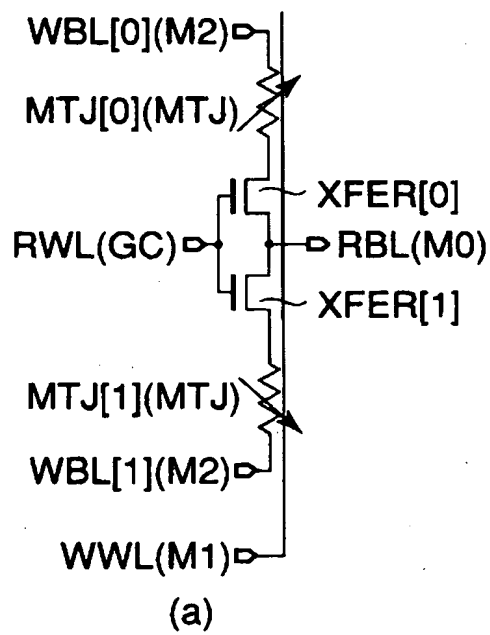
【書類名】

図面

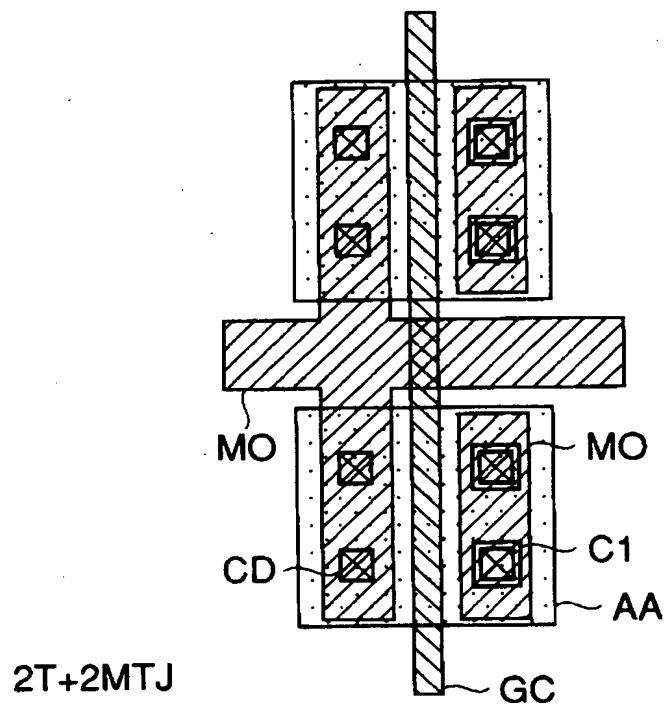
【図 1】



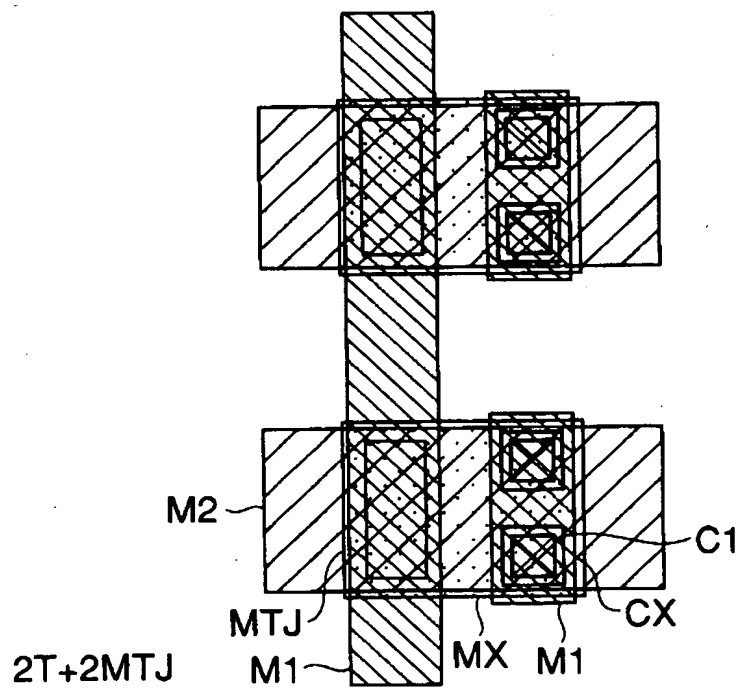
【図 2】



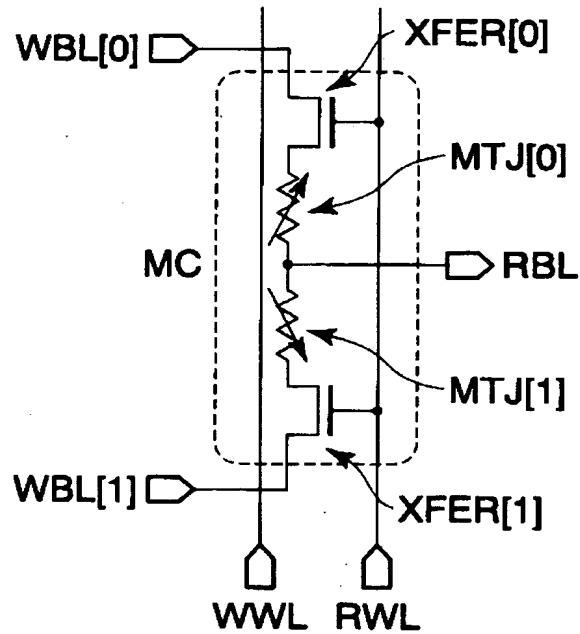
【図 3】



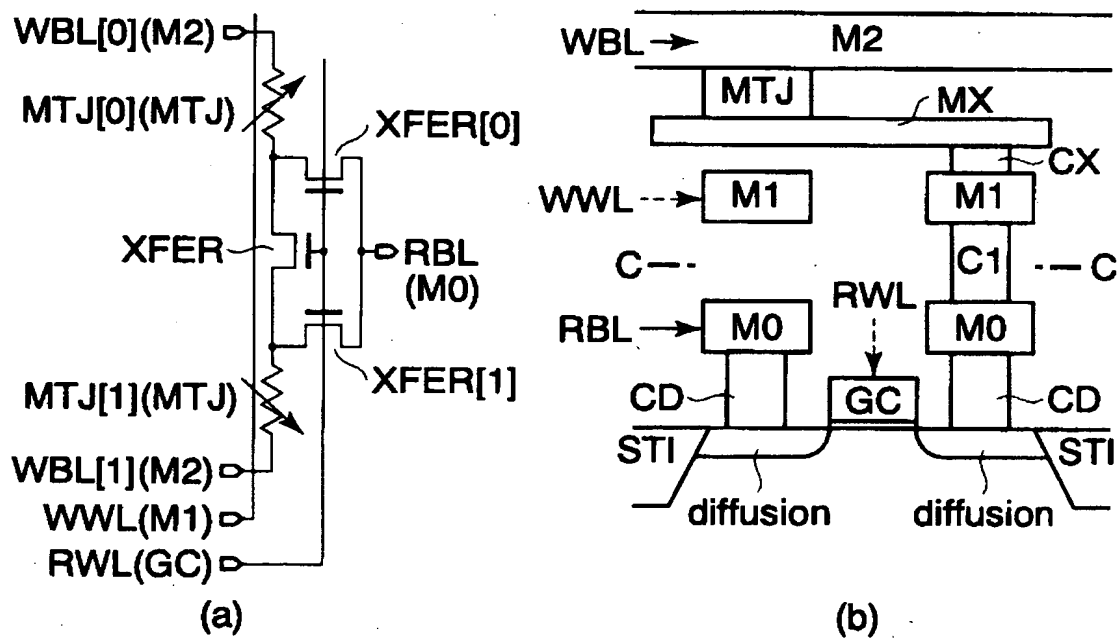
【図 4】



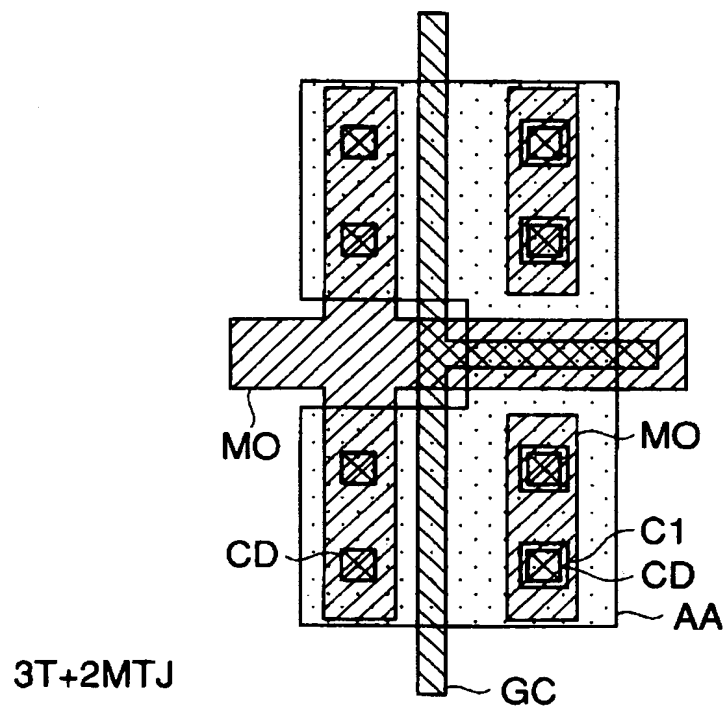
【図 5】



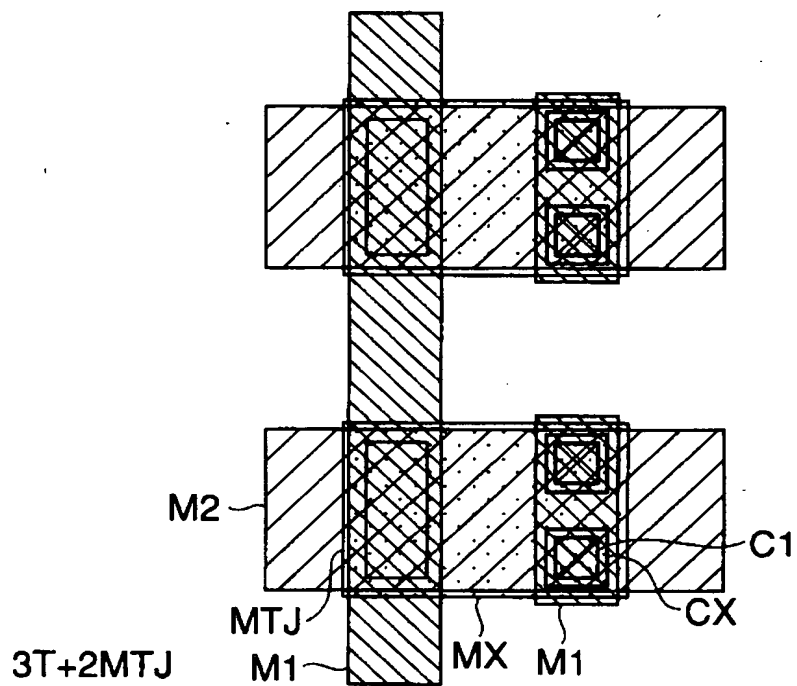
【図 6】



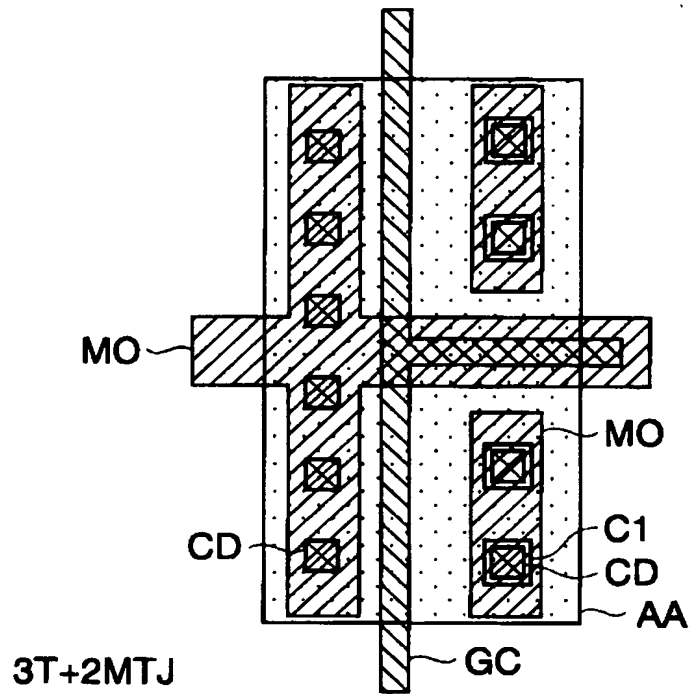
【図 7】



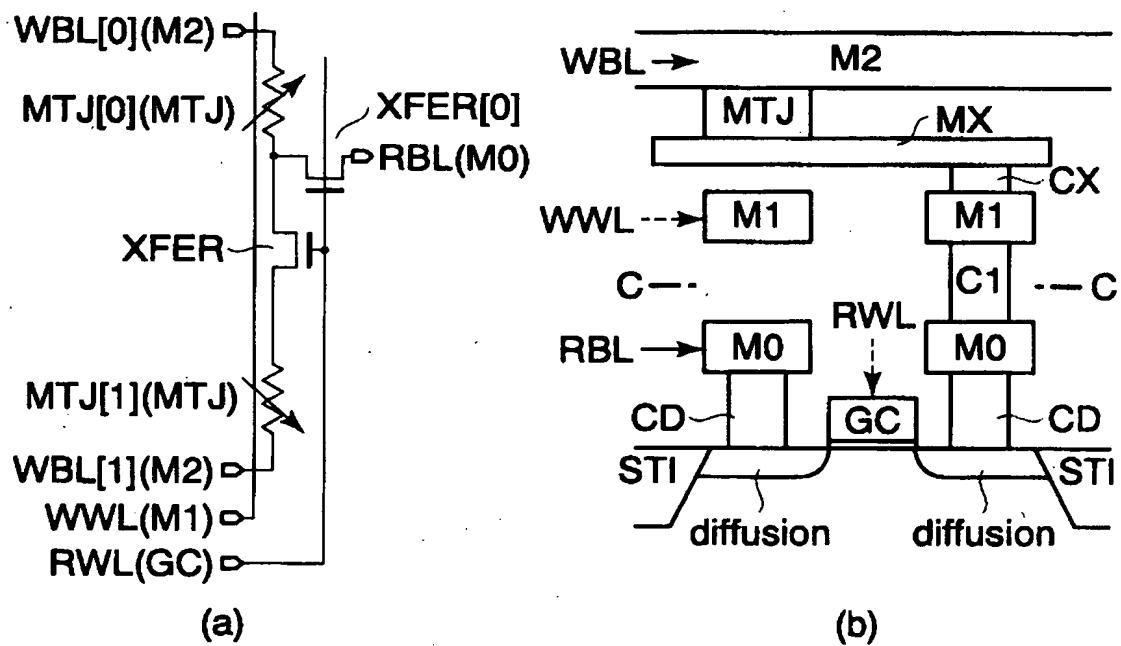
【図 8】



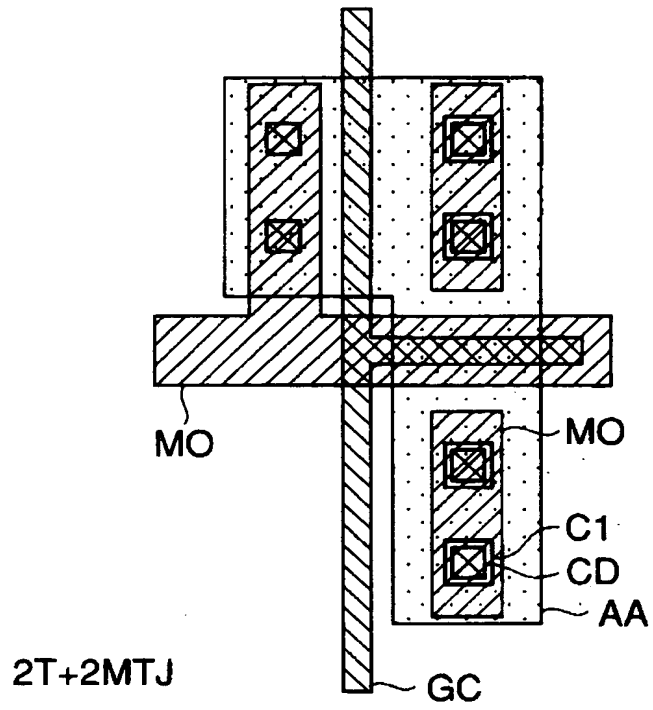
【図 9】



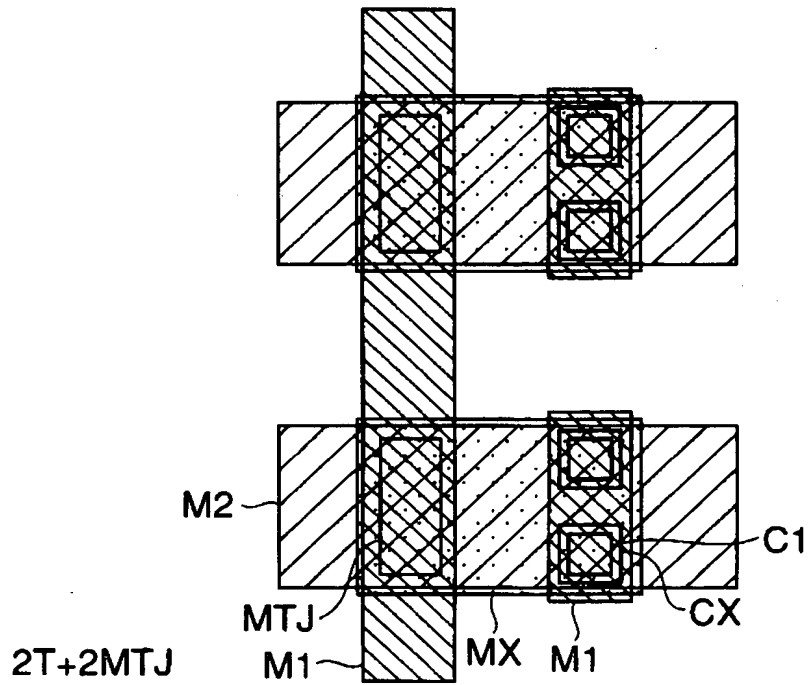
【図 1 0】



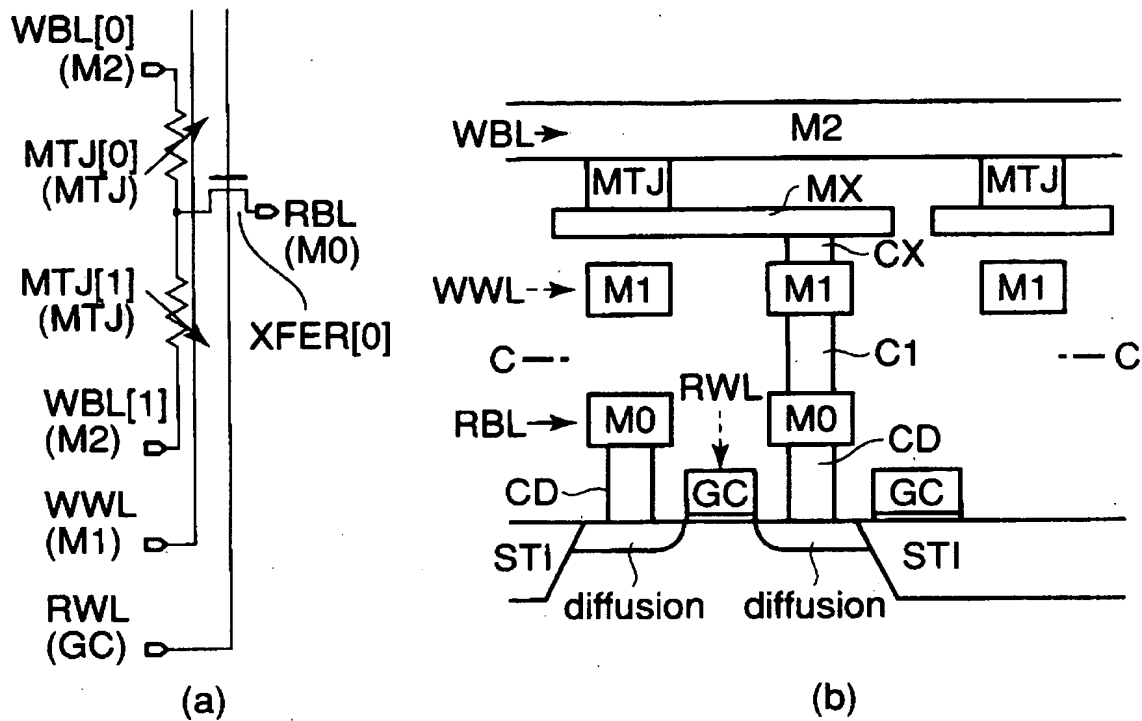
【図11】



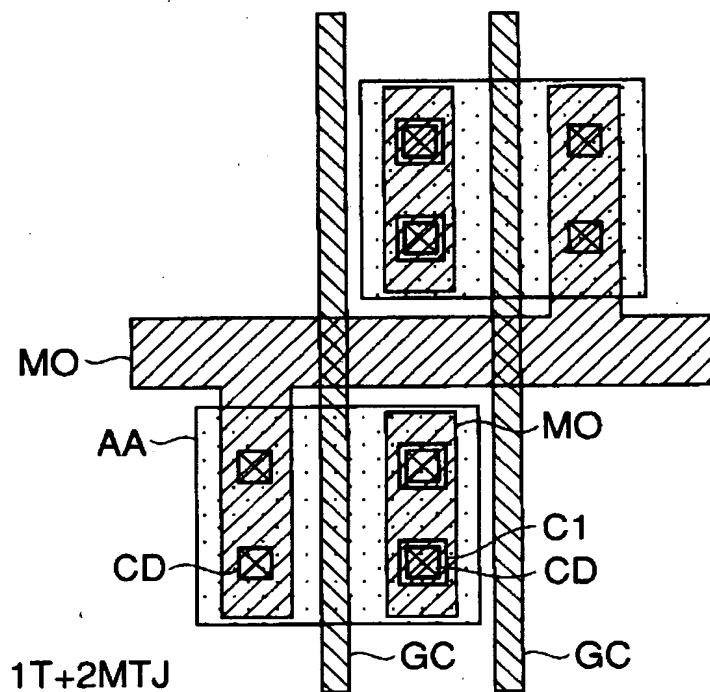
【図12】



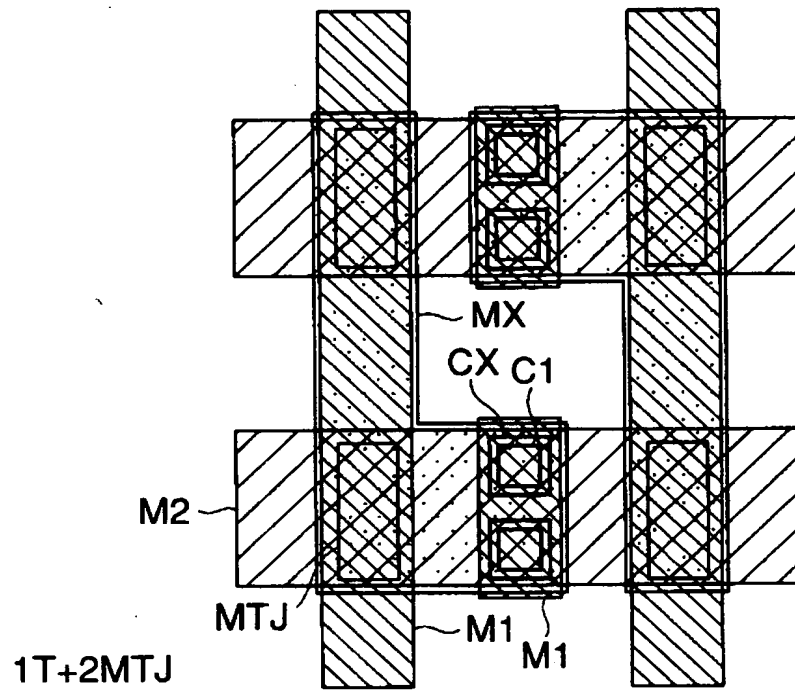
【図 13】



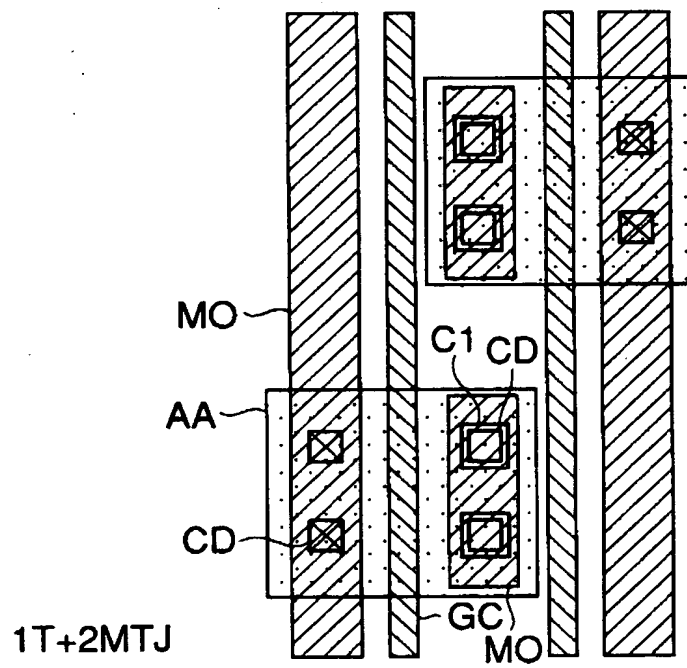
【図 14】



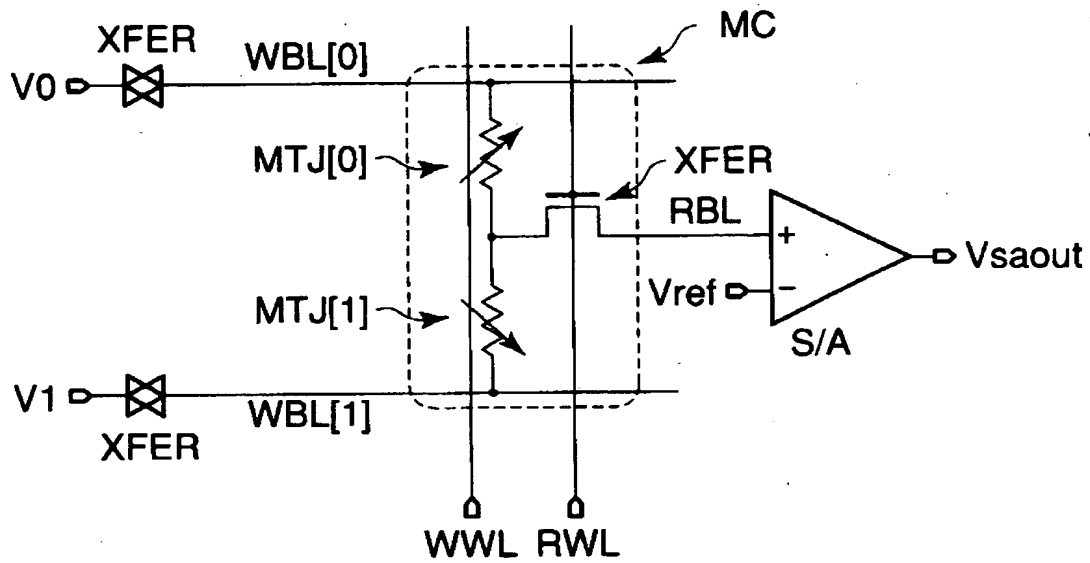
【図 1 5】



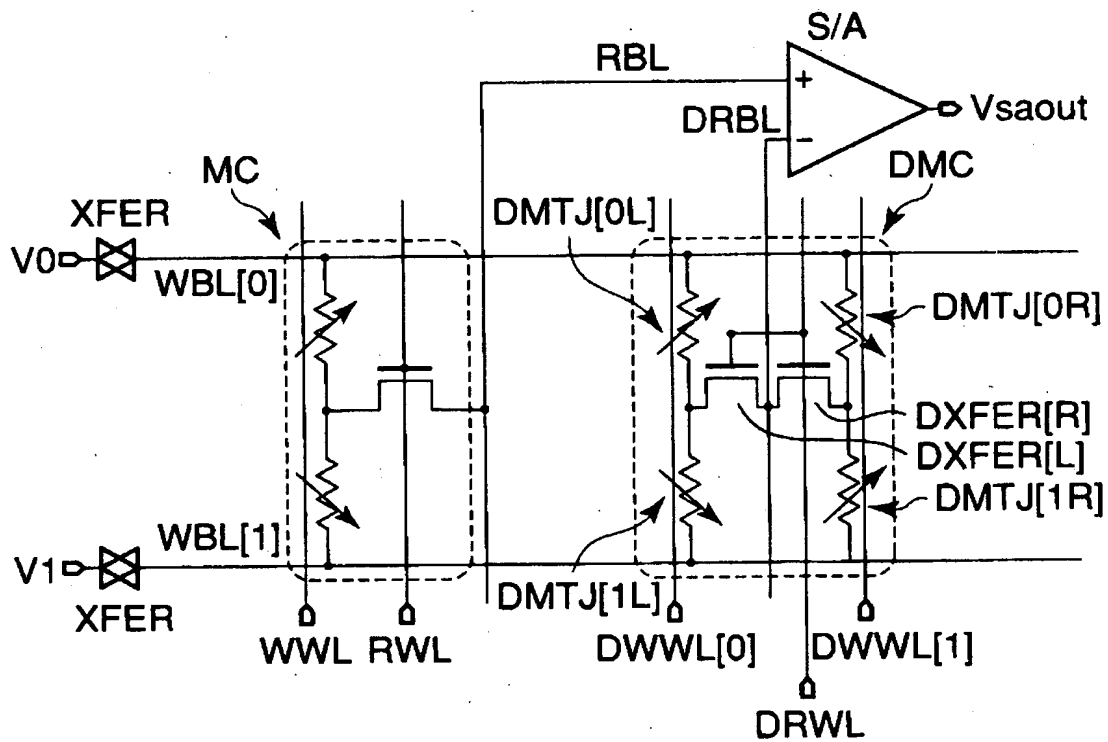
【図 1 6】



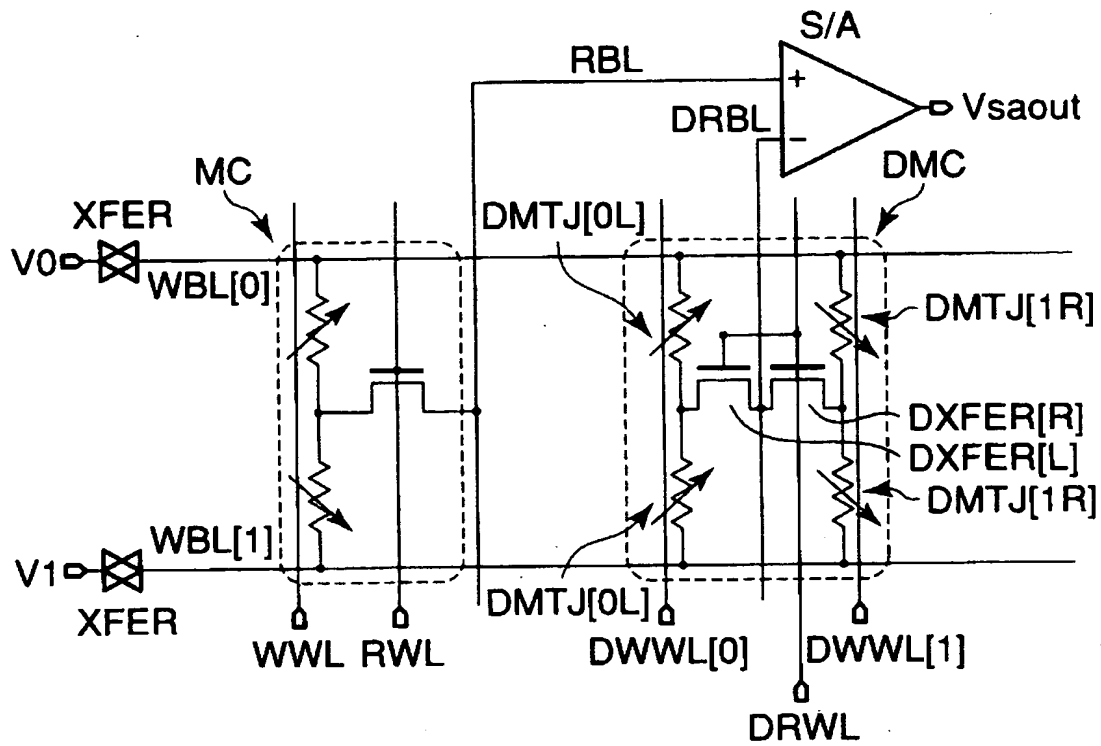
【図 17】



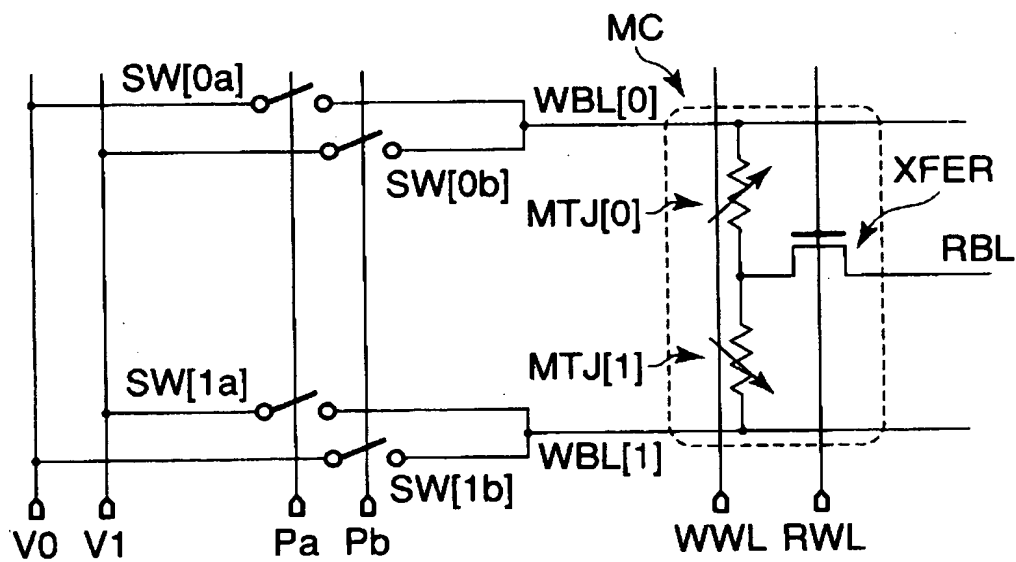
【図 18】



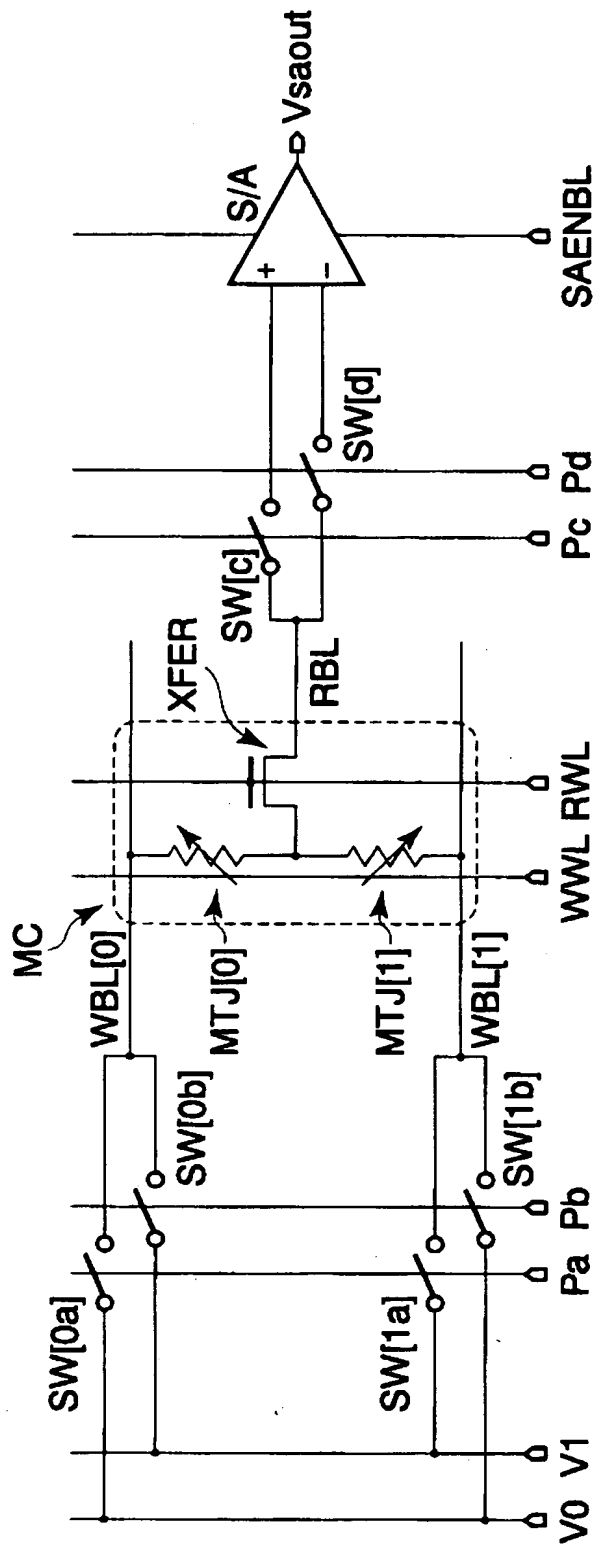
【図 19】



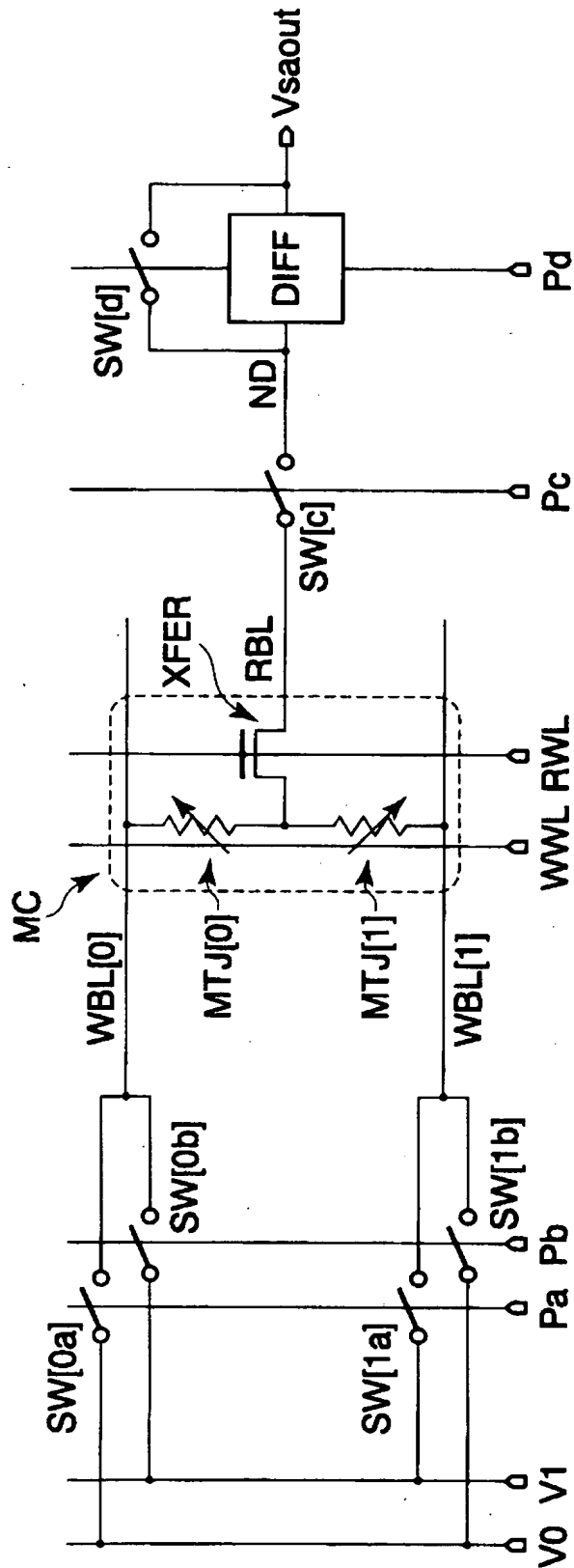
【図 20】



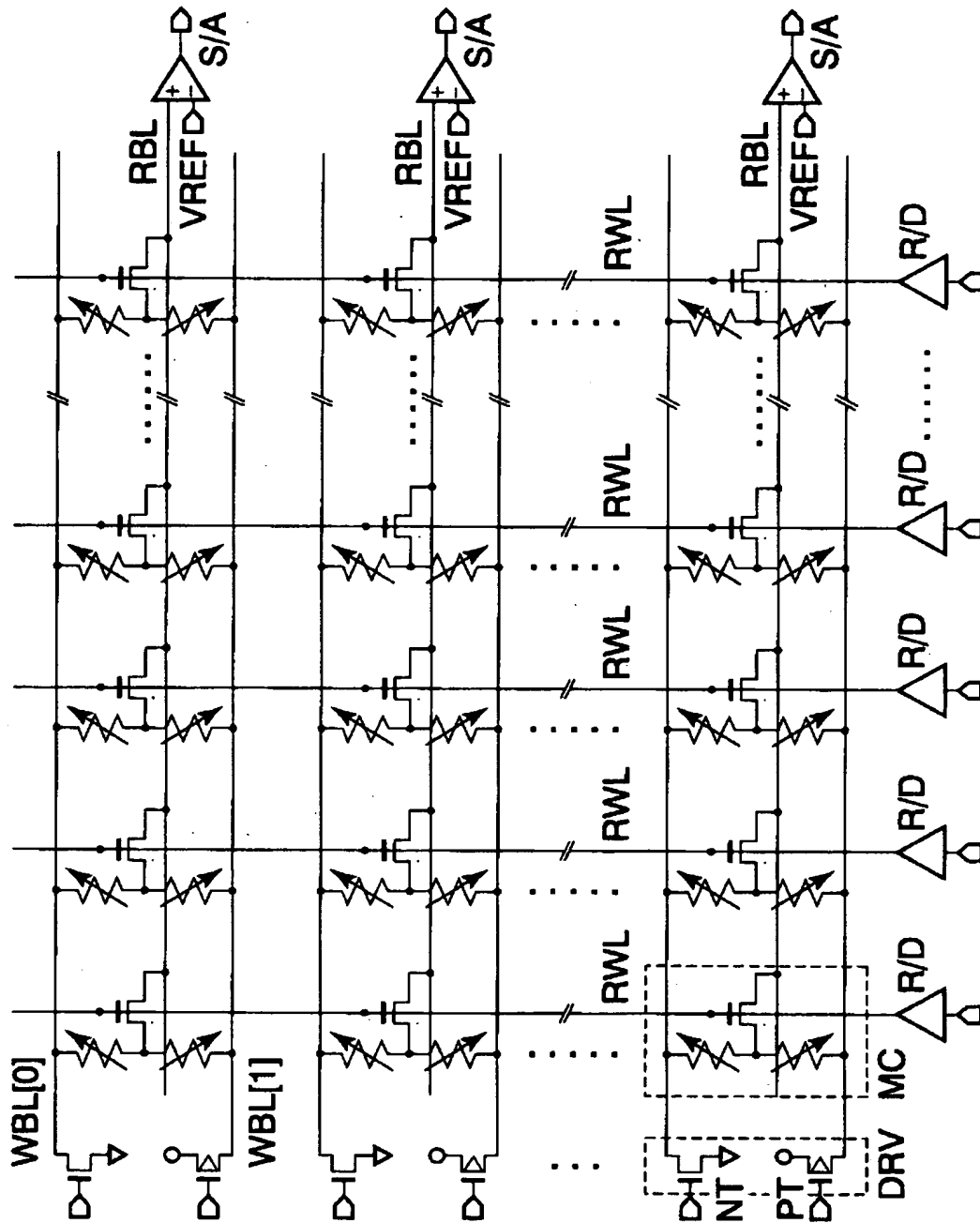
【図 2 1】



【図 22】

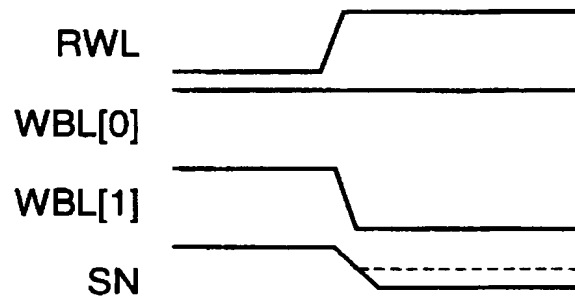


【図 23】

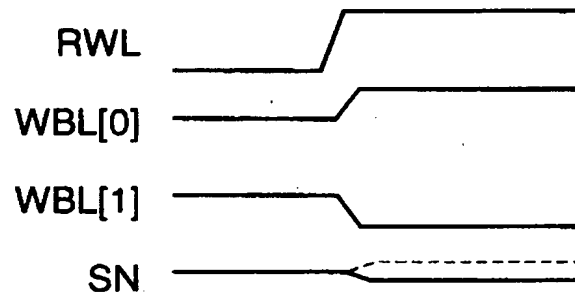


【図 2 4】

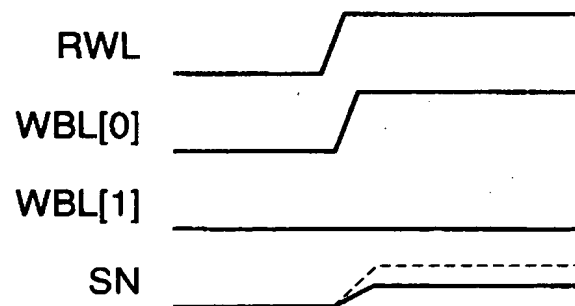
(a) Vaa Precharge of WBL



(b) Vbl Precharge of WBL: $V_{bl} = (V_{aa} + V_{ss})/2$



(c) Vss Precharge of WBL



【図 2 5】

(a) Vaa Precharge of WBL



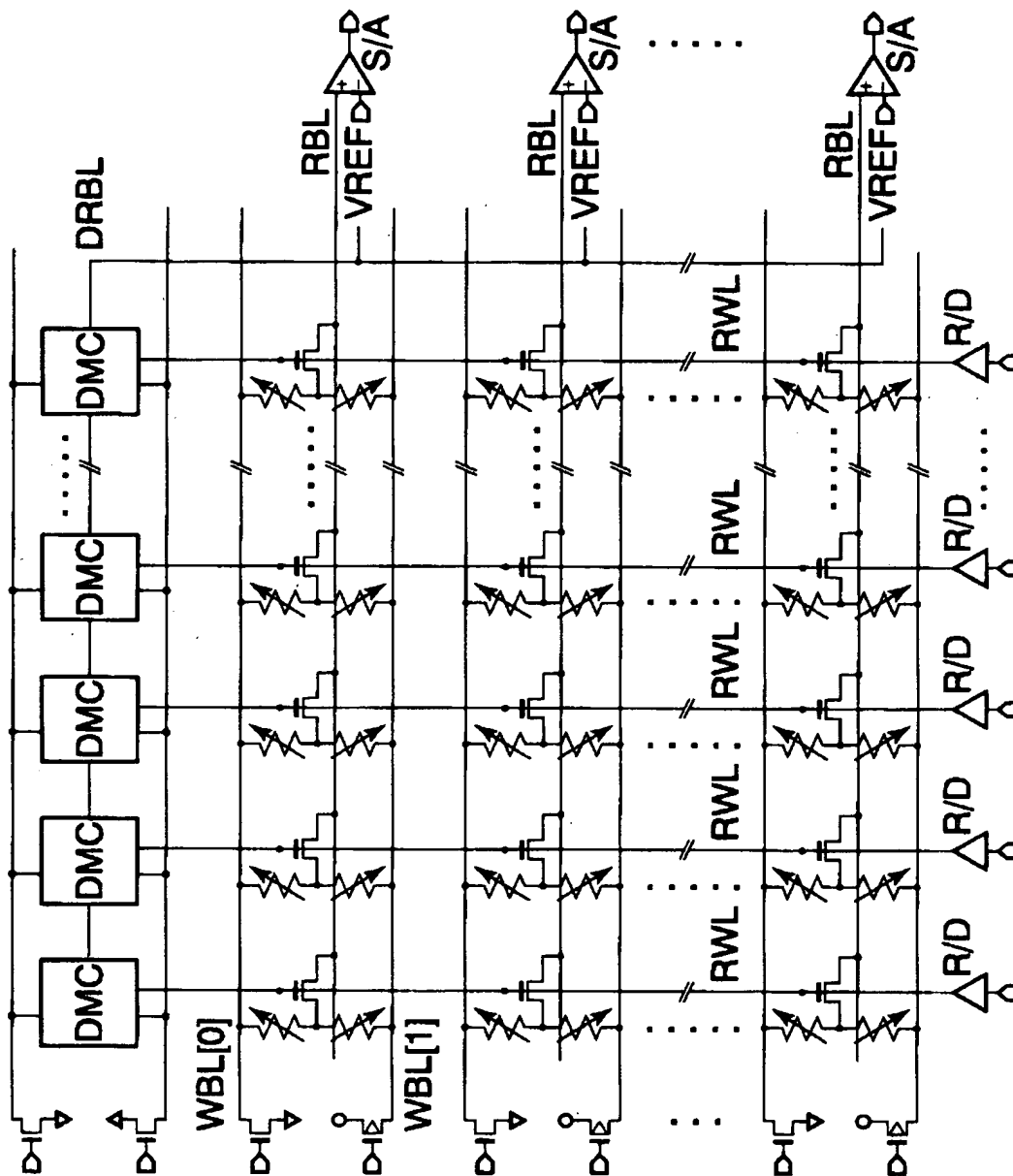
(b) Vbl Precharge of RBL: $V_{bl} = (V_{aa} + V_{ss})/2$



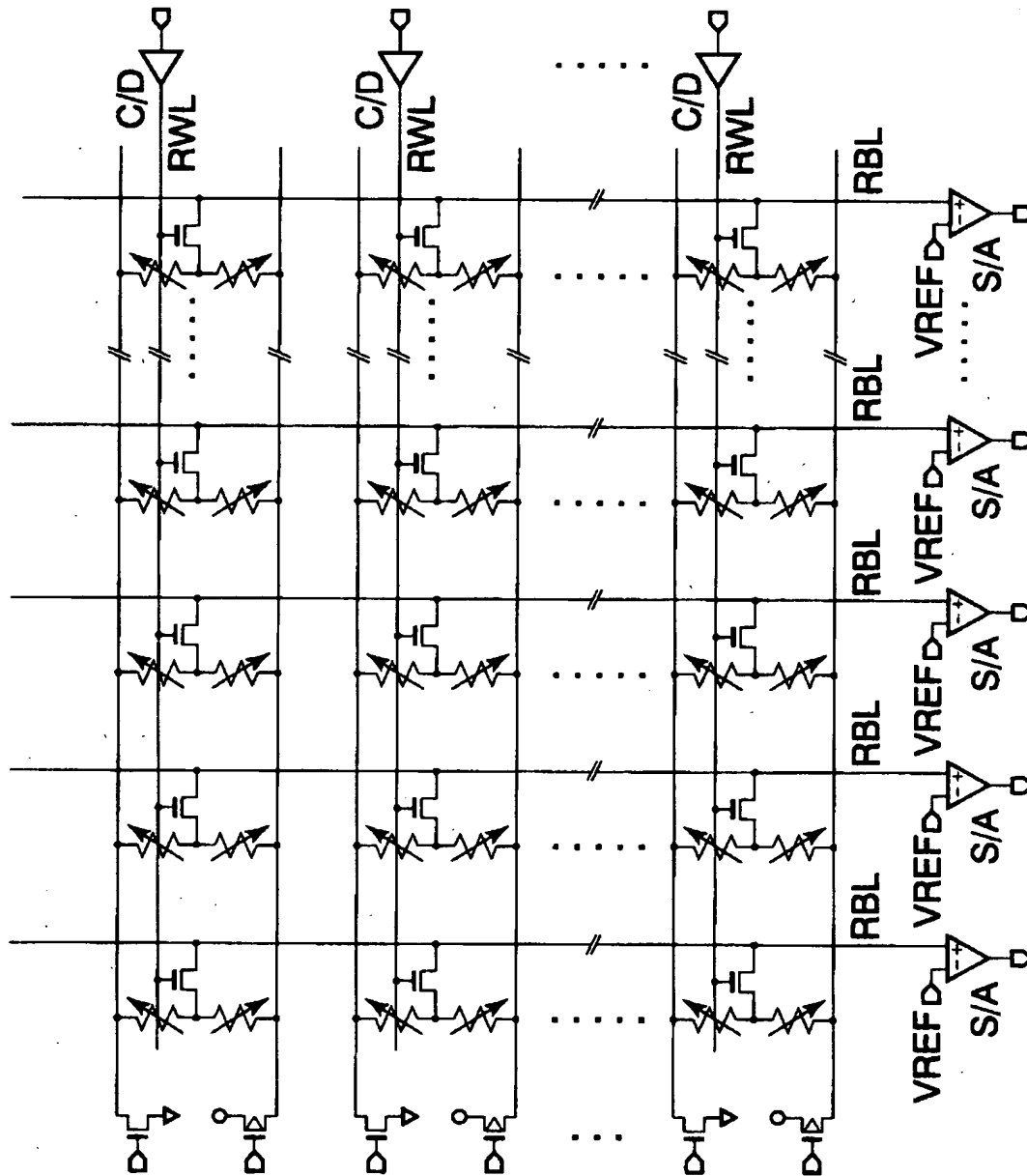
(c) Vss Precharge of RBL



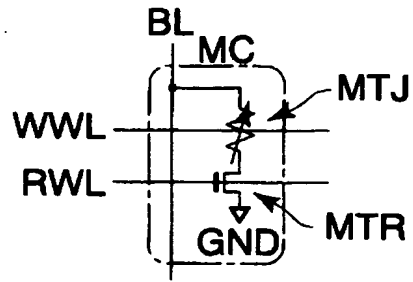
【図 26】



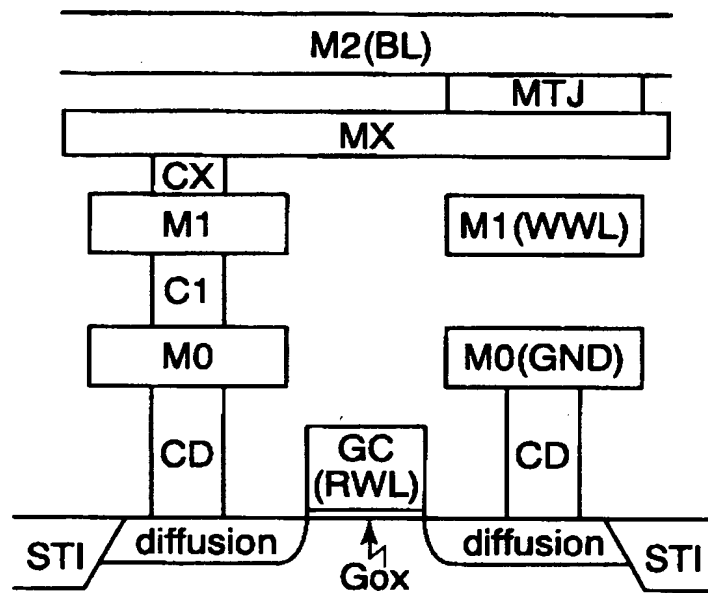
【図 27】



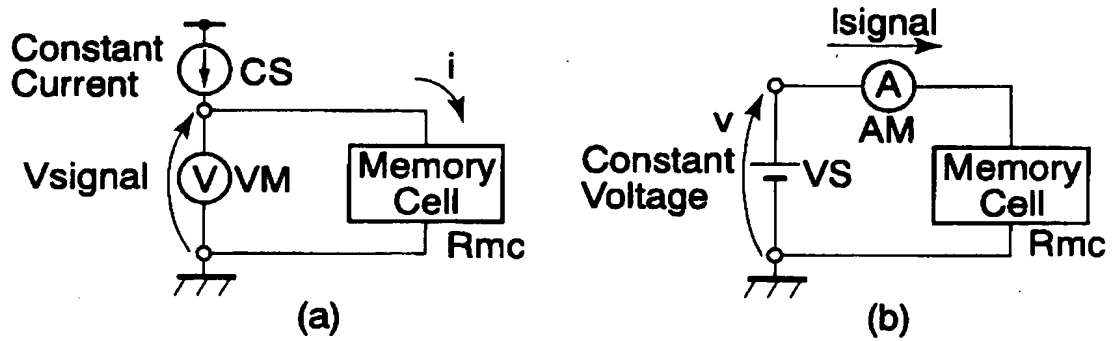
【図 28】



【図 29】



【図 30】





【書類名】 要約書

【要約】

【課題】 MRAMセルの磁気抵抗素子の抵抗値のばらつきや、メモリセルアレイ内のMRAMセルの位置に拘らず、MRAMセルの読み出し信号量が安定になり、MRAMの読み出し動作速度の増加を防ぎつつ、大規模なメモリセルアレイ構成を可能とし、チップ面積の低減およびチップコストの低減を図る。

【解決手段】 それぞれトンネル磁気抵抗効果を持つ磁気抵抗素子を複数含む複数の磁気メモリセルが行列状に配置されてメモリセルアレイが構成され、複数のメモリセルアレイが積層配置されたMRAMにおいて、磁気メモリセルMCは、互いに逆のデータを保持し、データ読み出しノードを介して直列接続された2個の磁気抵抗素子MTJ[0]，MTJ[1]を含む。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝